

# EL FUTURO DE LOS HDL EN LAS ENSEÑANZAS DE LA ELECTRÓNICA

*Rafael Gadea, Ricardo Colom , Joaquín Cerdá, Vicente Herrero y Jorge Martínez*

*Universidad Politécnica de Valencia. rgadea@eln.upv.es*

## RESUMEN

En una época donde se aplican nuevas leyes de Universidad, y se vislumbran nuevas convergencias docentes hacia Europa, bueno es que nos detengamos un momento en el camino, miremos a nuestro alrededor y discutamos cual debe ser el nuevo papel que deben de ejercer los HDL en la docencia del diseño electrónico digital en las diferentes Escuelas. Nuestro punto de partida puede parecer coherente y muy bien definido; pero las nuevas exigencias del mundo profesional de la microelectrónica y las tendencias de los flujos y tecnologías de diseño apuntan por un conveniente replanteamiento de cara a los nuevos planes de estudio que se avecinan. Este artículo describe una alternativa metodológica que responda adecuadamente a cuestiones como las siguientes: cuando iniciar la docencia de los HDL, qué lenguaje o lenguajes utilizar, en qué ámbitos (modelización, síntesis, verificación), con qué orden se puede planificar esa docencia y qué herramientas pueden utilizarse.

## 1. INTRODUCCIÓN

Desde de que los lenguajes de descripción de hardware (HDL) irrumpieron en el panorama del diseño microelectrónico digital, la docencia en las enseñanzas electrónicas no ha dejado de plantearse cómo integrar esos contenidos de la manera más óptima, flexible y adecuada para la futuras generaciones de ingenieros.

La mayoría de los docentes del diseño digital hemos pasado un proceso de adaptación a estas nuevas exigencias y hoy en día, en la práctica totalidad de las universidades del mundo, no existe una planificación docente que no incluya en sus programas los contenidos relativos a un lenguaje de descripción hardware (HDL) en alguno de sus ámbitos de utilización.

El que haya ocurrido esa adaptación a lo largo ya de bastantes años (desde principios de los noventa hasta actualidad) no implica que el resultado de la misma haya sido coherente en las diferentes Universidades y no impide que el proceso deba continuar.

El artículo aquí presentando pretende, basándose en las experiencias de los profesores en diferentes escuelas de diferente grado, el aportar un planteamiento que se adapte a las nuevas necesidades de la industria del diseño microelectrónico, que esté preparada para la evolución tecnológica que los propios HDL están sufriendo y que evite las incoherencias que hayamos podido observar, seguramente acentuadas por el cada vez mayor intercambio de estudiantes con otras universidades europeas.

El momento además no deja de ser tremendamente oportuno cuando se están considerando e incluso ya aplicando estrategias de convergencia en el ámbito Europeo de la docencia que van a dar lugar a cambios de los planes de estudios de las universidades españolas.

## 2. PUNTO DE PARTIDA DE DIFERENTES ESCUELAS

No es fácil hacer una revisión de todo el panorama de los HDL en las enseñanzas de la Electrónica. Tampoco es la intención de los autores. Solo pretendemos mostrar unas pinceladas de lo que está ocurriendo actualmente en diferentes universidades.

Para intentar en lo posible un muestreo bastante significativo, nos planteamos obtener información desde diferentes aspectos.

- 1) En primer lugar una visión general fruto de la experiencia de los autores. La típica visión general que aparece en multitud de presentaciones sobre HDL y que es aceptada de manera casi automática.
- 2) Una panorámica a nivel de las universidades americanas. Esta visión es muy importante teniendo en cuenta que la mayoría de la industria del diseño de microelectrónica digital y prácticamente la totalidad de las empresas que diseñan CAD microelectrónica pertenece a ese entorno (evidentemente Norteamérica).
- 3) Una panorámica Europea-Española que incluye datos recogidos fundamentalmente de nuestros alumnos Erasmus y de las diferentes escuelas de nuestra universidad.

### 2.1. Idea general aceptada

Después de que los autores hayamos asistido a diversas presentaciones, seminarios, demostraciones y cursos parece evidente la siguiente idea general: a nivel docente se ha incluido prácticamente en todas las enseñanzas de la electrónica en el mundo el uso de un HDL, mayoritariamente el VHDL.

Esa idea general ha sido corroborada por los resultados obtenidos de nuestro pequeño muestreo; pero es conveniente afinar el punto de partida en las siguientes consideraciones:

- ¿En qué curso empieza a darse el VHDL? Para situarnos correctamente lo que nos interesa más que nada es saber la distancia en cuatrimestres con respecto a la asignatura básica de Electrónica Digital. Creemos que es una cuestión importante que puede enfatizar la importancia que se le da al HDL como concepto fundamental del diseño.
- ¿Esa docencia en VHDL es obligatoria o no lo es? De nuevo estamos ante una cuestión que también da una medida de la relevancia que se está dando a la impartición de un HDL en una enseñanza de electrónica.
- Por último está la cuestión de qué es lo que se da del HDL .
  - Modelización en diferentes niveles de abstracción, ámbito muy relacionado en tareas de realización de librerías, documentación e incluso simulación.
  - Descripción RTL (Register Transfer Logic), como alternativa de entrada de diseño a los clásicos esquemáticos, y que puede ser manipulado directamente por un sintetizador RTL que lo trasladará del dominio “behavioral”(funcional y comportamiento) al dominio estructural (a nivel de puertas o recursos lógicos)
  - Verificación de sistemas, con la intención de desarrollar complejos bancos de pruebas en los cuales se pueda interactuar con otros lenguajes (C/C++, Java),

simular hardware-software, integrar cores de verificación e intercambiar datos con ficheros del exterior.

## 2.1. Resultados de los datos recogidos

A nivel Americano es muy interesante destacar el estudio realizado en 1995 [1] que fue realizado por Texas Instruments de Dallas, Toshiba de Tokio y VHDL Internacional. Se encuestaron 91 universidades americanas, de las cuales solo 71 respondieron, concluyéndose de dicho estudio que los estudiantes de nivel grado que han recibido una formación en Ingeniería Electrónica, terminaban con un nivel de HDL escaso y en otros muchos casos ni siquiera tenían la oportunidad de recibir clases sobre HDL. Un sumario estadístico sobre dichos resultados lo podemos encontrar en la siguiente figura.

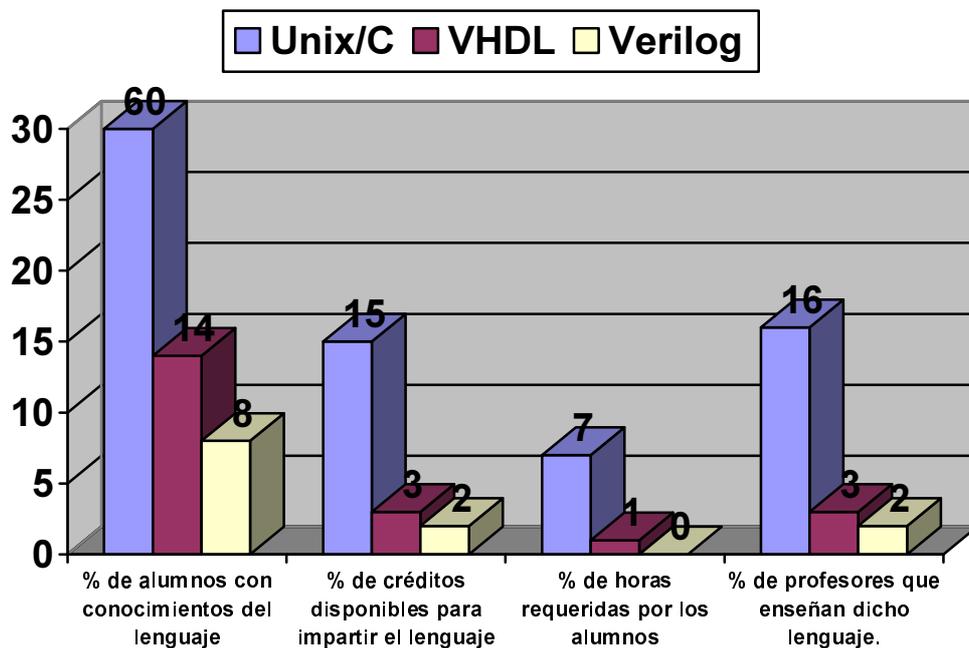


Ilustración 1. Enseñanza de HDL en USA

Se tiene que reconocer que por aquellos la situación en España no distaba excesivamente de la que aquí se dibujaba; sin embargo estamos seguros que casi 10 años después, en la actualidad, la situación ha mejorado con respecto a la cantidad de HDL impartido.

Quizá sea más interesante, por tratarse como hemos dicho del entorno más cercano al mundo profesional del diseño microelectrónico y del desarrollo de CAD, es el predominio en la docencia del VHDL sobre el Verilog. Las cifras no son escandalosas y hay que tener en cuenta que por esas fechas Verilog acabada de dejar de ser lenguaje propietario de Cadence mientras que VHDL era un lenguaje estándar que circulaba por su segunda revisión IEEE.

Si queremos datos más actuales debemos recurrir a los que hemos recogido a un nivel más cercano (España-Europeo) en el que observamos los siguientes hechos:

- Casi en un 100% de las escuelas que imparten diseño digital electrónico se imparte un HDL que concretamente es el VHDL de manera mayoritaria.
- En cuanto a la ubicación y obligatoriedad de los estudios con HDL tenemos que:
  - En las carreras de 3 años suele cursarse en el último curso (casi todos los casos encuestados en el 6º cuatrimestre) cuando la primera asignatura básica de diseño digital (típicamente denominada Electrónica Digital) puede encontrarse en el 2º o 3º cuatrimestre de carrera. Lo que es más preocupante es que suele tratarse de asignaturas en la mayoría de los casos optativas, con lo cual no es difícil encontrarse con ingenieros técnicos (industriales de especialidad electrónica o telecomunicaciones de especialidad telemática por poner algunos ejemplos) sin ningún conocimiento de HDL cuando terminan sus carreras. No suele ser habitual la obligatoriedad o disponer de dos asignaturas con contenidos HDLs cuando hablamos de nuestras carreras de 3 años. Aunque también es verdad que existen casos que disponen de esas características y que por tanto garantizan unos mínimos interesantes y unos máximos satisfactorios a sus alumnos en el uso de los HDL.
  - En las carreras de 5 años, puede existir un **asignatura troncal**, continuación clara de Electrónica Digital (que suele situarse en 2º o tercer cuatrimestre), con manejo extensivo de dispositivos programables y que conlleva el uso del lenguaje VHDL muchas veces derivado por el CAD utilizado para la programación o configuración de las CPLD y FPGA. La ubicación de la misma es muy diversa como diversa es la separación de los ciclos I y II en las diferentes escuelas. Existen “prestigiosas” escuelas dedicadas a la enseñanza de la electrónica en las cuales esta primera aproximación al uso del VHDL no existe o si existe es de libre elección. Sin embargo en 8º o 9º cuatrimestre ya es más habitual encontrarnos con **una asignatura optativa** en la cual la dedicación al HDL es más esencial en los contenidos de la asignatura.
  - Esta observación de resultados lo hemos encontrado igualmente en las carreras de 5 años existentes en Europa (nuestros datos son mayoritariamente de universidades francesas). Carecen de obligatoriedad de cursar contenidos de HDL antes del 9 o décimo cuatrimestre, con lo cual aquellos alumnos Erasmus que vienen a cursar el 9º y décimo cuatrimestre en nuestras escuelas no tienen ninguna noción de HDL. Mención especial deben de tener las escuelas de países nórdicos, que en sus carreras de 4 años tienen más contenidos en HDL que en muchas de nuestras carreras de 5 años y curiosamente empezando con Verilog para terminar con VHDL
- Finalmente quería hablar del ámbito de los HDL que nos encontramos en esta docencia. Mayoritariamente (casi en el 100% de los casos) el HDL obligatorio que se imparte en nuestras escuelas es únicamente para sintetizar. Es decir, de toda la potencialidad disponible en lenguajes como el VHDL solo se utiliza e imparte a lo sumo un 60% del mismo. En los proyectos docentes observados existe una deficiencia enorme en la planificación de la simulación y verificación de los sistemas digitales. Esos contenidos brillan por su ausencia (salvo honrosas excepciones) en las carreras de 3 años. Y en las de 5 años podemos encontrar más tiempo a elucubrar con otros lenguajes de futuro: HandelC, SystemC, Rosetta, extensiones analógicas de VHDL y Verilog, etc. que ha finalizar en toda su extensión el VHDL para dar respuesta a las exigencias de la verificación.

Nuestras conclusiones ante este panorama docente son las siguientes.

- Demasiada optatividad en los contenidos en HDL.
- Demasiado alejamiento con respecto a Electrónica Digital. Tenemos que empezar a pensar que un lenguaje HDL puede utilizarse en cursos básicos para explicar de manera sencilla el modelo de funcionamiento de los bloques digitales (no tiene que ser una alternativa a las tablas de verdad o de transición, más bien estamos hablando de otra forma de expresar el funcionamiento). Muchos de los libros de Electrónica Digital incorporan ese punto de vista trabajando con VHDL (ver libros de Floyd, Mandado, Wakerley, Tocci, etc.).
- Demasiada focalización en el ámbito de síntesis con los HDL. Nosotros creemos que un HDL puede servir a nivel docente para explicar (ya lo hemos comentado anteriormente), para introducir diseños (que luego son sintetizados mediante herramientas CAD) y para verificar diseños.
- Demasiada focalización en VHDL obviando su gran competidor: el Verilog.

Reconocemos que estas conclusiones pueden parecer totalmente discutibles en la totalidad de los puntos. Quizá es lo que pretendíamos; pero antes de rebatir nuestras ideas veamos que nos dice el mundo profesional.

### **3. PUNTO DE PARTIDA PROFESIONAL**

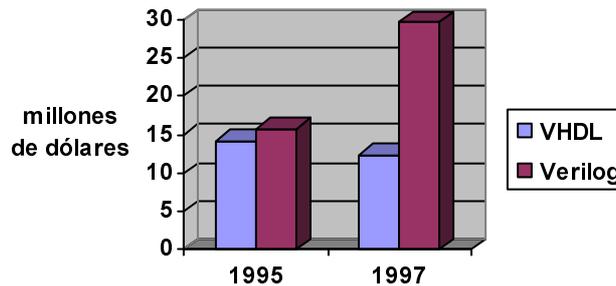
También el mundo profesional es complicado analizarlo porque debemos filtrar las opiniones provenientes de los diseñadores de cualquiera de las batallas comerciales subyacentes que influyen marcadamente en las mismas. Por esa razón pretendemos no excedernos excesivamente en este punto de vista del análisis porque los datos recogidos y las cifras manejadas están muchas veces manipuladas malintencionadamente.

Si nos centramos en el punto de vista de los diseñadores de USA, ASIA y Japón la información que nos llega [2], sin duda alguna exagerada, es a su vez aplastante. Veamos algunas de las cifras que se barajan en sus análisis:

- Mas del 85 % de las compañías de semiconductores utilizan el Verilog como prioritario para aprobar las últimas simulaciones (sign-off y simulación de faltas). No se informa cual ha sido el uso de los HDL en el flujo completo, solamente se afirma que al final se ha tenido que pasar por Verilog. Estas cifras hay que tomarlas con cautela porque depende exactamente de cuando fueron recogidas y sería interesante observar la evolución de este dato en los últimos años.
- Hablan de mas 40.000 usuarios de Verilog.
- Más de 300 librerías de semiconductores realizadas en Verilog.
- Más de 400 Universidades impartiendo Verilog.
- Mas de 90 compañías que desarrollan productos con Verilog en sus flujos de diseño.
- No contentos con esto son capaces de afirmar que la elección de los ingenieros en el mundo sobre el lenguaje que deben utilizar es de un 8 a 1 a favor del Verilog.

Volvemos a repetir que estamos en el fragor de innumerables batallas en las cuales es difícil depurar los datos recibidos. Veamos más datos que pueden observarse:

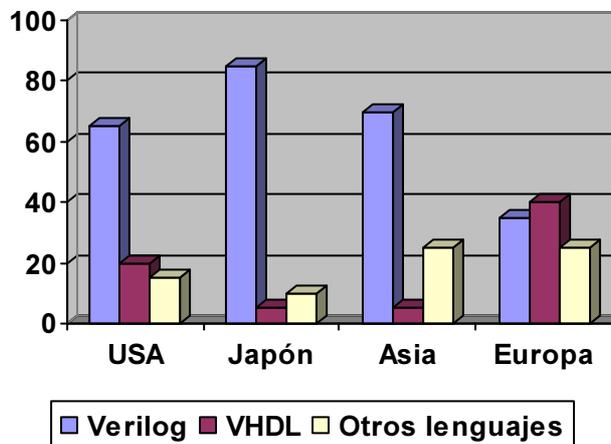
- La realización de simulaciones a nivel gate-level con retardos necesita, utilizando la especificación VITAL, 100 veces más memoria RAM que lo necesario cuando se utilizan modelos equivalentes escritos con Verilog HDL.
- Algunos fabricantes afirman que la realización de librerías de modelos VHDL de su tecnología requiere del orden de 4 veces más recursos (medidos en “man-months”) que si se realiza en Verilog.
- En los últimos estudios de mercado realizados por EDAC (Electronic Design Automation Consortium) se observa que el mercado de simuladores VHDL decrece mientras que el de simuladores Verilog crece (ver siguiente ilustración).



**Ilustración 2 Mercado de simuladores HDL**

Estos datos ya son más significativos. No dudamos que pueden ser exagerados pero coincide con informaciones recibidas por empresas de nuestro entorno que afirman que como lenguaje de simulación, sobre todo cuando nos manejamos en el dominio estructural con modelos temporales, el Verilog es claramente ventajoso y eso se refleja en la elección que en las empresas se realiza.

Fuentes de OVI (Open Verilog Internacional) manejan datos como los representados en la siguiente gráfica para 1996.



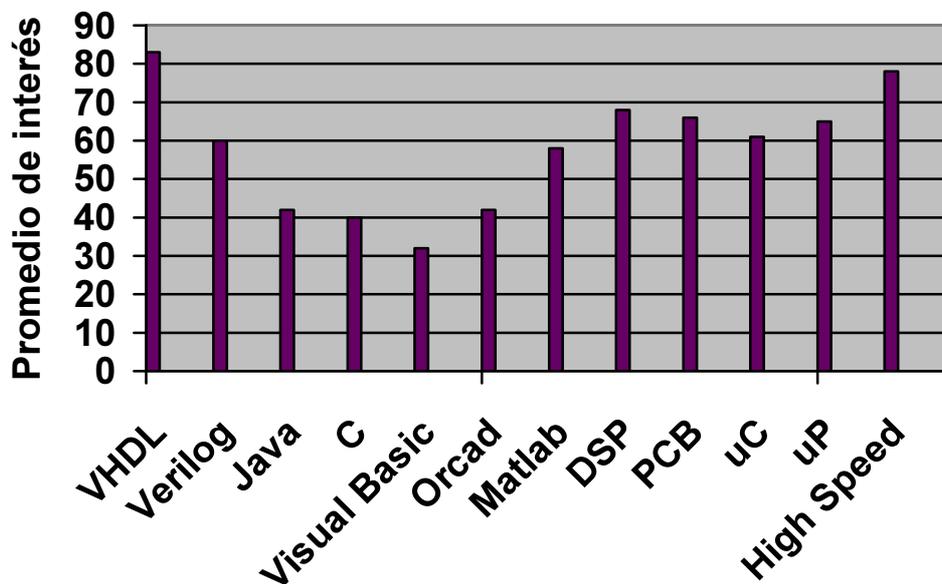
**Ilustración 3 Distribución de los HDL en el mundo profesional (1996)**

Estos datos no son significativos si no se observa la evolución en el tiempo de estas gráficas; pero al menos da una idea de que el uso profesional del Verilog es considerable.

No contentos con manejar estas fuentes sospechosamente condicionadas es interesante añadir dos consideraciones más que pueden aclararnos algo sobre la veracidad de estos datos.

En primer lugar un experimento realizado en 2001 entre pequeñas y medianas empresas del área de España usuarias habituales de FPGAs [3]. Es interesante este estudio porque es cercano a nuestro entorno europeo y tiene como población los usuarios de FPGAs, que es sin duda alguna una de las áreas del diseño digital más influenciadas y desarrolladas en base al VHDL. El tener datos de esta índole nos puede balancear perfectamente lo obtenido anteriormente.

De dicho estudio vamos a extraer las preferencias de aprendizaje que requieren los diseñadores de FPGA (ver Ilustración 4).



**Ilustración 4** Preferencias de aprendizaje de los diseñadores de FPGAs

Lo primero que cabría decir es que la demanda que se tiene sobre VHDL y Verilog entre dichos profesionales (por ciertos gente joven que se suponía ya procedían de planes de estudio modernos), indica que en nuestras Universidades la formación en HDL debe de ser incrementada claramente, conclusión a la que ya habíamos llegado anteriormente. Pero estos resultados también demuestran que el interés por Verilog no es despreciable en modo alguno comparado con VHDL.

La última consideración que realizamos es fruto de nuestra experiencia con empresas dedicadas al diseño de ASICs de nuestro entorno que establecen o quieren establecer colaboraciones con la Universidad. La mayoría de ellas tienen flujos de diseño basados en Verilog. Si se tratara de empresas de vieja creación, podría llegar a pensarse que derivan su flujo de diseño de la tradición del uso con Verilog de Cadence. Sin embargo hemos podido

asistir a empresas de nueva creación, que, tras un meditado estudio, han decidido su flujo de diseño alrededor del Verilog.

Nuestras conclusiones a todos los comentarios vertidos desde diferentes fuentes podrían ser las siguientes:

- Efectivamente el Verilog es más empleado industrialmente en USA, Japón y Asia. Seguramente la posición de privilegio de Cadente ha tenido mucho que ver.
- Esta tendencia es diferente en Europa, donde el más extendido uso académico del VHDL y una especie de hecho diferenciador de Europa, hace que VHDL se emplee más en la industria.
- Estas tendencias no vienen implicadas por la bondad o no de un lenguaje u otro, de lo contrario debería ser la misma tendencia en todo el mundo.
- Existe por parte de los usuarios profesionales un cierto acuerdo de que el VHDL es más adecuado a niveles algorítmico en un ámbito de verificación de sistemas (dada su mayor potencia y flexibilidad) y el Verilog es más adecuado a nivel de modelización para simulaciones funcionales detalladas con retardos y simulación de fallos. A nivel de diseño RTL (ámbito de síntesis) no parece que exista un claro ganador (aunque los usuarios de Verilog se empeñen en lo contrario con sus rocambolescas competiciones).
- La conclusión anterior puede hacer pensar que existe una especie de empate técnico que se puede dilucidar hacia el VHDL puesto que la verificación es un valor cada vez más exigido y valorado a nivel industrial (dado que puede ocupar ratios cercanos al 70% del tiempo de desarrollo de un ASIC) y su crecimiento de exigencia es progresivo hacia el uso cada vez más complejo de los niveles de los altos niveles de abstracción donde el VHDL es claramente ganador. Sin embargo, esa evolución en la industria no ha sido tan claro como teóricamente cabría suponer analizando los lenguajes. Sin duda alguna la pieza que nos faltaba tener en cuenta en todas estas conclusiones es la irrupción de los lenguajes típicamente software en las grandes verificaciones. Actualmente, la generación de modelos y aplicaciones C que interactúan con facilidad con las estructuras internas de datos de Verilog hacen que el camino hacia la verificación de sistemas no sea dominado tampoco por el VHDL si se quiere potencia, rapidez y sencillez.

#### **4. EVOLUCIÓN DE LOS LENGUAJES HDL**

Si era complicado analizar el mundo docente, y más complicado aún analizar el mundo profesional; no queremos hablar de lo que puede suponer el intentar adivinar que va a ocurrir con los HDL en el futuro.

Pero creemos que es una componente de nuestro análisis que no debemos obviar. Para empezar seleccionamos la última perla que han llegado a afirmarse en diferentes foros de diseñadores y opinadores en general y que se está discutiendo en los últimos meses: En el año 2003, John Cooley, en su columna en EE Times Industry Gadfly [4] provocó una tormenta en el mundo del diseño cuando ofrece una cita de Aart de Geus sobre que el SystemVerilog será el lenguaje dominante del futuro. Bueno en realidad la virulencia de la reacción fue mayormente provocada porque el título del artículo era “VHDL, the new Latin”.

No hace falta decir que esta opinión provocó multitud de contestaciones bien fundamentadas que niegan que el VHDL vaya a desaparecer o que incluso va a ser el lenguaje del futuro. No queremos entrar en este juego de opiniones. Ya hemos oído hablar de que el futuro está en el SystemC, VHDL, Verilog, Superlog, SystemVerilog, HandelC, C++, embedded Java, etc. Y sin embargo casi ninguna predicción se ha cumplido claramente. Lo que está claro es que no podemos dar bandazos de lado a lado en los contenidos de nuestros estudios de electrónica por las opiniones vertidas en seminarios, foros y conferencias que tratan sobre estos temas. Lo único seguro es que el VHDL y el Verilog siguen funcionando y tiene buenas perspectivas de futuro.

Quizá deba tener una mención especial, de todo lo que hemos leído en los últimos años, la evolución del Verilog en el SystemVerilog. Las razones son las siguientes.

- Es totalmente compatible con el Verilog 2001[5], el último estándar del Verilog.
- Ya admiten muchas de sus estructuras en herramientas de simulación Verilog de Mentor (Modelsim) y de Synopsys (VCS).
- Recoge muchas de las propiedades de Verilog y VHDL. Muchos opinan que es una mezcla de ambos [6], que recoge las mejores propiedades a alto nivel que disponía el VHDL y no el Verilog, y que ha mantenido la sintaxis y compatibilidad con el Verilog, sintaxis más sencilla y cercana al C.
- Parece que la tendencia de las herramientas CAD es permitir entornos de simulación mixtos en los cuales parte de la jerarquía este en VHDL, parte en Verilog, parte en SystemVerilog (las más cercanas al sistema y banco de pruebas). Quizá la herramienta modelsim de Mentor sea el gran representante de este tipo de tendencias. Es lo que llamamos co-simulación.
- Este nuevo lenguaje ha mejorado las propiedades de codificación RTL, mejorado las propiedades de verificación formal y funcional basada en “assertions” y dispone de una interrelación con código C (de tipo algorítmico y arquitectural) aún más sencilla.

Tenemos que reconocer que nuestra propuesta del siguiente punto no es ajena a un convencimiento de que es posible que realmente el futuro esté en esta evolución. Es una apuesta que puede ser llevada a la práctica en los contenidos de las enseñanzas de la electrónica con poco riesgo, dada su compatibilidad hacia atrás con Verilog y dada la disponibilidad sencilla de las herramientas de diseño de Mentor Graphics a través de su programa Universitario o a través de Europractice.

## **5. CONCLUSIÓN: PLANIFICACIÓN DE CURSOS DE GRADO**

Después de todo lo visto podemos realizar una planificación en la cual ya tengamos en cuenta posibles estructuras de futuro que se están barajando en la actualidad.

Supongamos que en la estructura de cursos de grado aprobados en España tenemos una Ingeniería Electrónica. En dicha ingeniería electrónica debería existir un entramado de asignaturas, que históricamente se les ha encuadrado bajo el apelativo de área microelectrónica pero que preferiríamos denominar área de diseño digital que estaría formada por 4 asignaturas. El objetivo de los profesores de dicha área debería ser que estas asignaturas

trabajaran como un conjunto, en buena medida autocontenido, que se responsabilizara del diseño de ASIC. Esto es, **de todas aquellas técnicas en las que se delega en el Ingeniero de Aplicaciones el Diseño/Personalización de C.I's destinados a satisfacer una necesidad específica**. Fijémonos que en esta idea manejamos el actual concepto de ASIC que aúna tanto lo programables por máscara (standard cells, gate-arrays, sea of gates) como los programables eléctricamente (SPLD, CPLD, FPGA).

Nuestra propuesta podría resumirse en el siguiente cuadro.:

DENOMINACIÓN	cuatrimestre
<b>Electrónica Digital</b> Troncal	<b>2 -3</b>
<b>Electrónica Digital II</b> Troncal	<b>4 -6</b>
<b>Diseño de Sistemas Integrados Digitales</b> Obligatoria	<b>6- 7</b>
<b>Circuitos microelectrónicos</b> Optativa	<b>7- 8</b>
<b>Verificación de sistemas digitales complejos</b> Optativa	<b>7-8</b>

No es la intención de este artículo el discutir la adecuación de esta propuesta. Está muy exagerada y evidentemente debe de adecuarse a otros conjuntos de áreas de la ingeniería electrónica que deben incluirse en una futura carrera de grado. Pero podemos suponer, sin temor a equivocarnos, que si la totalidad de las asignaturas no entran en la titulación de grado, entrarían en la de master y doctorado. Bajo este último supuesto (que podría incluir incluso otra asignatura dedicada a arquitecturas digitales), vamos a situarnos en a que podrían dedicarse estas asignaturas en sus contenidos. Para ello hemos confeccionado la siguiente tabla que expresa las aproximaciones de los contenidos de las 5 asignaturas. Esta tabla nos permite observar esa intención de conformar un conjunto autocontenido del área de diseño digital. Con el conocimiento de esta tabla es mucho más fácil comprender el futuro de los HDL en las enseñanzas de la electrónica.

DENOMINACIÓN	CONTENIDO DE LA ASIGNATURA
<b>Electrónica Digital</b>	<ul style="list-style-type: none"> <li>- <b>Centralizado en el dominio estructural (lógico) del diseño Digital</b></li> <li>- Álgebra de Boole y técnicas de simplificación.</li> <li>- Características y propiedades de familias lógicas</li> <li>- Enumeración de subsistemas combinacionales y secuenciales. Introducción al uso de los HDL (VHDL)</li> </ul>

	<p>como descripción de los subsistemas.</p> <ul style="list-style-type: none"> <li>- Técnicas para analizar los circuitos digitales más sencillos.</li> <li>- Diseño de circuitos digitales combinacionales y secuenciales.</li> <li>- Manejo de catálogos y equipos básicos .</li> </ul>
<b>Electrónica Digital II</b>	<ul style="list-style-type: none"> <li>- <b>Centralizado en el dominio estructural (lógico) del diseño Digital</b></li> <li>- Conocimientos de las arquitecturas y recursos de los dispositivos programables.</li> <li>- Diseño de data-path y control-path. Alternativas</li> <li>- Introducción al uso de los HDL (VHDL) como entrada de diseño, por tanto ámbito RTL.</li> <li>- panorámica de la microelectrónica: fabricación tecnologías y test de C.I</li> <li>- Dominar los aspectos del diseño síncrono: especificación, estructuración, temporización</li> <li>- Uso básico de herramientas de desarrollo microelectrónico: entradas de diseño, analizadores temporales, simuladores lógicos, sintetizadores RTL, editores de floorplanner</li> </ul>
<b>Diseño de Sistemas Integrados Digitales</b>	<ul style="list-style-type: none"> <li>- <b>Centralizado en el dominio "behavioral" del diseño Digital</b></li> <li>- Descripción behavioral con HDL (Verilog). Descripción estructural, RTL y Gate-Level con el mismo lenguaje</li> <li>- Síntesis Alto nivel y Lógica. Particionado para síntesis</li> <li>- Simulación Funcional y "Behavioral". Simulación con retardos post-implementación.</li> <li>- Arquitecturas Digitales específicas: DSPs, Microprocesadores RISC, Arquitecturas sistólicas, Arquitecturas con varios dominios de reloj, etc.</li> <li>- Técnicas básicas para test funcional (verificación) con HDL</li> </ul>
<b>Circuitos <math>\mu</math>Electrónicos.</b>	<ul style="list-style-type: none"> <li>- <b>Centralizado en el dominio físico del diseño Digital</b></li> <li>- Diseño FullCustom desde aproximación Bottom-Up. CAD de Diseño <math>\mu</math>Electrónico.</li> <li>- Diseño Eléctrico y Físico, Digital. Simulación Eléctrica SPICE. Generación de Células.</li> <li>- Modelización y generación de librerías de diseño con HDL (Verilog). Modelización y verificación de tiempos.</li> <li>- Técnicas Circuitales Específicas en Subsistemas Digitales.</li> </ul>
<b>Verificación de Sistemas Digitales Complejos</b>	<ul style="list-style-type: none"> <li>- <b>Centralizado en el dominio behavioral del diseño Digital</b></li> <li>- Verificación funcional avanzada: con HDL ( Verilog) + cores de verificación + C</li> </ul>

	<ul style="list-style-type: none"> <li>- Verificación funcional avanzada con lenguajes específicos de verificación: Vera + Verilog + C.</li> <li>- Verificación funcional para tratamiento digital de la señal: HDL + Matlab</li> <li>- Verificación de sistemas, codiseño y co-simulación.</li> <li>- Nuevos lenguajes: SystemVerilog.</li> </ul>
--	--

De tales conceptos básicos señalados en esta tabla podemos observar que nuestra propuesta encierra, de cara al uso de los HDL, las siguientes características:

- Uso tanto del VHDL como del Verilog.
- Se empieza a introducir los HDL (VHDL) en la asignatura básica de electrónica digital a un nivel descriptivo del funcionamiento.
- El VHDL solo se da en el ámbito RTL, mientras que el Verilog se da en todos los ámbitos
  - Si bien es verdad que la troncalidad en donde se imparte el VHDL da entender que en otras carreras de grado sus alumnos tendrán únicamente conocimientos de VHDL, que es sin duda alguna más docente y estructurado.
  - El Verilog empieza a predominar en las asignaturas al final de la carrera que marcan más el perfil del ingeniero electrónico. La preponderancia del Verilog en el mundo profesional y las perspectivas de futuro en sus evoluciones hacia el SystemVerilog así lo aconsejan.
- El uso de los HDL empieza a equilibrarse en el sentido de no centrarse únicamente en la síntesis RTL. Se da más juego en el uso de los mismos en tareas de verificación, cada vez más demandadas por la industria.

---

[1] VHDL Internacional , “VHDL internacional University Usage Survey”, VHDL Internacional, Santa Clara, CA, 1995.

[2] Bill Fuchs, “ The popularity of Verilog HDL”

[3] Eduardo Boemo, “ A Survey about FPGA Users in Spanish SMEs”, Euroform Spanish Pole, 2001

[4] John Cooley, “ VHDL the new Latin”, EE design, April 7, 2003

[5] SystemVerilog 3.0 Accellera Extensions to Verilog, Accellera, 2003

[6] Clifford E. Cummings, “SystemVerilog- is the merging of Verilog & VHDL?” SNUG Boston , 2003.