

## METODOLOGÍA DOCENTE EN LA EVALUACIÓN DE SISTEMAS DIGITALES MEDIANTE SOFTWARE DE SÍNTESIS LÓGICA

M.MARTÍNEZ-PEIRÓ, M.LARREA, R. COLOM, R.GADEA, J. CERDÁ.  
*Departamento de Ingeniería Electrónica. Escuela Técnica Superior de Ingenieros de Telecomunicación. Universidad Politécnica de Valencia. 46022. Valencia. España.*

*El presente trabajo ofrece tres procedimientos de evaluación englobados en una metodología de enseñanza de Sistemas Digitales Complejos. Este proceso se apoya en una herramienta de diseño y síntesis lógica que permite revisar de forma práctica conceptos teóricos de difícil evaluación. Gracias a la metodología propuesta, los alumnos encuentran un reflejo real de problemas de diseño de sistemas digitales con la consiguiente motivación que este tipo de asignaturas requiere. Los tres métodos reflejan diseños completamente especificados (método top-down), parcialmente especificados (método bottom-up) y de implementación física (método orientado a hardware). Se presentan las descripciones de los tres métodos así como las conclusiones que de su aplicación pueden extraerse.*

### 1. Introducción.

En este trabajo se presentan los resultados obtenidos en la puesta en práctica del uso de una herramienta de simulación y síntesis [1] para evaluar el aprendizaje de sistemas digitales que se imparte en la ETSIT de la Universidad Politécnica de Valencia. La metodología presentada engloba tres modelos de evaluación que serán desarrollados en el siguiente apartado, presentando sus características diferenciadas básicas, sus ventajas e inconvenientes así como los objetivos teóricos cubiertos con cada uno de ellos. Para la mejor comprensión de los métodos se ofrecen tres ejemplos reales y se finaliza el artículo comentando las conclusiones de la metodología propuesta. Pueden consultarse más ejemplos en [2].

### 2. Modelos de Evaluación.

#### 2.1 Metodología Bottom-Up: Diseño Parcialmente Especificado (DPE).

La metodología propuesta en este modelo parte de una especificación resumida y escueta de un sistema digital complejo. Inicialmente se exige la implementación de detalles del diseño (*bottom*), incrementando las especificaciones y la complejidad de resolución (*up*), completando de esta forma el diseño final.

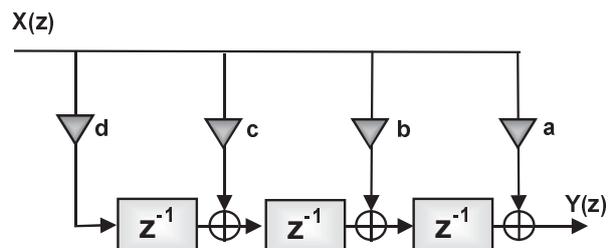


Figura 1. Filtro FIR del modelo Bottom-Up.

Como ejemplo del método DPE se pretende diseñar un supuesto Filtro FIR (figura 1) de coeficientes  $\{a, b, c, d\} = \{108, 118, 58, 150\}$ . La metodología docente presentada pretende cubrir los objetivos mostrados en la tabla 1.

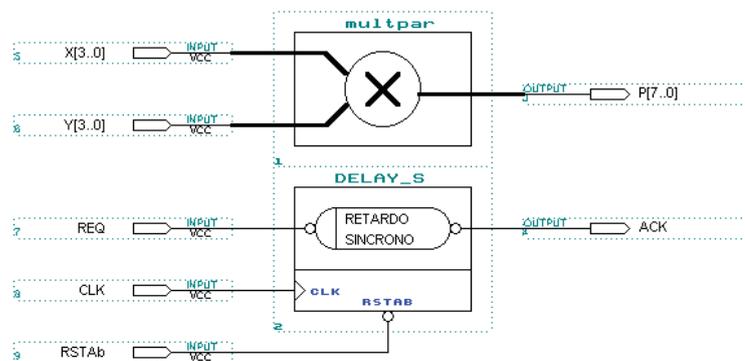
Objetivos	Método
a. Diseño con Esquemas	Diseñar sobre FPGA el multiplicador por constante 108 mediante el uso de las librerías de diseño parametrizables de ALTERA. Simular, indicar número de Logic Elements ocupados y el retardo obtenido.
b. Diseño Parametrizable	
c. Simulación Digital	
d. Ocupación y retardo en FPGA	
e. Jerarquía.	Diseñar mediante el módulo previo, los cuatro multiplicadores con entrada común del filtro.
f. Parametrización Jerárquica.	
g. Diseño VHDL.	Diseñar con VHDL el filtro de la figura 1, instanciando el módulo de cuatro multiplicadores y utilizando los componentes de la librería de módulos parametrizables de ALTERA. ¿Camino crítico?, ¿Frecuencia de muestreo?. Simular el correcto funcionamiento del filtro mediante su respuesta impulsional.
h. Librerías en VHDL, jerarquía en VHDL.	
i. Manejo del <i>Timing Analyzer</i> .	
j. Diferenciar entre frecuencia de funcionamiento y de muestreo.	
k. Diseño VHDL Dataflow.	
l. Revisión de operación Ca2.	Diseñar la constante 108 como $108 = 2^2 + 2^3 + 2^5 + 2^6$ . Comparar la ocupación con la obtenida en el objetivo d.
m. Ventajas e inconvenientes del diseño Semi-Custom.	

**Tabla 1.** Ejemplo de *objetivos para metodología DPE*.

El ejemplo tratado pretende además motivar al alumno mediante diseños propios del ingeniero de telecomunicación (filtrado de señal), realizando una conexión horizontal con asignaturas del área de Tratamiento Digital de la Señal que se imparten en la carrera. El valor añadido en Sistemas Digitales consistirá en comprender mejor el concepto de muestra, impulso y respuesta impulsional de un sistema LTI, así como sus limitaciones en cuanto a frecuencia de funcionamiento y ocupación.

## 2.2 Metodología Top-Down: Diseño Completamente Especificado (DCE).

La metodología *top-down* parte de unas especificaciones completas de un sistema digital. Habitualmente es un sistema nuevo para el alumno que se comenta en las propias especificaciones, generando un tipo de evaluación denominada “exámenes para el aprendizaje”. Parte del diseño del sistema se ofrece como datos e incluso es



**Figura 2.** *Multiplicador en paralelo autotemporizado.*

posible ofrecer resultados de simulación que el alumno deberá verificar. Como ejemplo se ofrece el diseño de un multiplicador en paralelo autotemporizado (figura 2). Parte de este diseño (que no ha sido expuesto en teoría) se ofrece como dato. La tabla 2 muestra los objetivos cubiertos con cada una de las exigencias del ejercicio.

<b>Objetivos</b>	<b>Método</b>
a. Diseño con Esquemas.	<b>Diseño del <code>data_path</code>:</b> Diseñar la célula básica del multiplicador. Emplazarla en el diseño global y simular el sistema.
b. Diseño Jerárquico.	
c. Simulación Digital.	
d. Análisis de un multiplicador en array.	
e. Estudio de temporización de sistemas.	<b>Diseño del <code>control_path</code>:</b> Cálculo del número de ciclos para producir el resultado correcto. Descripción VHDL de <code>control_path</code> que gestione el sistema autotemporizado. Se sugiere el uso de Linear Feedback Shift Register (LFSR).
f. Diseño con VHDL.	
g. Análisis de sistemas autotemporizados.	
h. Análisis de un LFSR.	
i. Diseño y simulación a nivel de sistema.	<b>Diseño de <b>Sistema</b>:</b> Unir <code>data_path</code> y <code>control_path</code> . Verificación de funcionamiento. Ocupación. Análisis temporal. Emplazamiento Manual en FPGA. Ocupación en FPGA y CPLD.
j. Ocupación en FPGA.	
k. Manejo del <i>Timing Analyzer</i> . Análisis de tiempos de propagación en FPGA.	
l. Comparativa arquitectural FPGA vs CPLD.	

**Tabla 2.** Ejemplo de *objetivos para la metodología DCE*.

### 2.3 Metodología Física: Diseño Orientado al Hardware (DOH).

Las principales características de esta metodología son un diseño inicialmente sencillo ya que no se exige una visión de sistema digital completo, pero con implementación hardware sobre dos placas de trabajo [3], una perteneciente al programa universitario de la empresa ALTERA y otra adicional realizada por los profesores de la asignatura. El alumno debe sintetizar el diseño sobre la herramienta y trasladarlo al dispositivo programable, verificando tanto en simulación como físicamente el correcto funcionamiento del sistema. Existe por tanto una autoevaluación en el laboratorio. La tabla 3 muestra objetivos y método docente para esta tercera propuesta. Como ejemplo de especificación se requiere el diseño del control de un motor paso a paso, integrando el resultado en una CPLD de la familia MAX7000S de ALTERA. Se establecen las líneas de entrada y salida que tendrá dicho controlador y los tres modos de funcionamiento del motor: *half*, *full odd* y *full even*.

<b>Objetivos</b>	<b>Método</b>
a. Diseño VHDL de máquinas de estado.	Diseño en VHDL de la máquina de estados que reproduzca los tres modos de funcionamiento.
b. Codificación de estados en FPGA y CPLDs.	
c. Simulación Digital.	
d. Diseño esquemático.	Diseño de la etapa de. Recibe las señales de la placa de evaluación y gestiona la máquina de estados diseñada previamente.
e. Estudio de temporización de sistemas.	
f. Frecuencia y Ocupación.	

g. Diseño físico.	Síntesis Física. Se debe programar la
h. Manejo del programador y sus ficheros.	CPLD con el diseño realizado y controlar
i. Asignación de pines.	el motor paso a paso de la placa de
j. Entorno hardware del motor paso a paso.	prácticas, verificando el correcto
k. Resolución de problemas prácticos: velocidad de giro, rebotes en pulsadores, etc.	funcionamiento del sistema.

**Tabla 3.** Ejemplo de *objetivos para la metodología DOH.*

La Tabla 4 refleja las características principales de cada uno de los tres métodos establecidos.

<b>Tipo</b>	<b>Ventajas</b>	<b>Inconvenientes</b>
<b>DPE</b>	Sencillez de especificación de sistema completo. Diferentes técnicas de diseño (VHDL, esquema) Amplio espectro de trabajo (jerarquía, ocupación, frecuencia, temporización).	Ausencia de programación física. Pérdida de profundidad en especificaciones o requerimientos temporales de diseño.
<b>DCE</b>	Aprendizaje en prácticas. Especificaciones completas, visión profunda de un sistema digital. Diferentes técnicas de diseño. Amplio espectro de trabajo.	Dificultad de comprensión para el alumno. Ausencia de programación física.
<b>DOH</b>	Sencillez en especificaciones. Programación de PLD y tarjetas físicas.	Pobre visión de sistema.

**Tabla 4.** Ventajas e inconvenientes de los tres métodos.

### 3. Conclusiones.

A pesar de que cada modelo aporta ventajas e inconvenientes, el conjunto metodológico propuesto contiene la gran mayoría de aspectos teóricos tratados en la asignatura de Diseño de Circuitos y Sistemas Electrónicos. El alumno, gracias al manejo de una herramienta de síntesis de alto nivel, es capaz de diseñar eficazmente sistemas digitales complejos sobre dispositivos programables. Los beneficios de dicha metodología se observan en asignaturas de cursos posteriores donde los alumnos se muestran capacitados para el aprendizaje de circuitos microelectrónicos y diseño y modelización de sistemas digitales avanzados. Desde el punto de vista estadístico, los alumnos encuestados valoraron positivamente la adecuación docente entre teoría y prácticas de la asignatura, aspecto difícil de conseguir en asignaturas con este tipo de contenidos.

### Referencias

- [1] MAX+PLUS-II, versión 7.21(*Student Edition*) ALTERA Corporation. [www.altera.com](http://www.altera.com).
- [2] M.A. Larrea, R. Gadea, R.J. Colom. . Diseño de Circuitos y Sistemas Electrónicos: Problemas de Examen resueltos. Servicio de Publicaciones de la UPV (2001).
- [3] R. Gadea, R.J. Colom y M.A. Larrea. *Diseño de circuitos y Sistemas Electrónicos*. TAEE2000.