

METODOLOGIAS DE DISEÑO FÍSICO APLICADAS AL DISEÑO DE CIRCUITOS INTEGRADOS DE POTENCIA.

M. Puig, P.LL. Miribel, S. Bota y E. Montané
EME. Dep. Física Aplicada i Electrònica.
Universitat de Barcelona
Av. Diagonal 645-647
08028 - Barcelona
Tel: (93) 402 11 47
Fax: (93) 402 11 48
Email: puig@europa.fae.ub.es

RESUMEN.- En este trabajo se pretende poner de manifiesto las ventajas de utilizar herramientas de simulación a nivel físico en dos dimensiones frente a las técnicas clásicas de simulación unidimensionales del tipo SPICE. Con este fin hemos simulado el comportamiento de un convertidor DC-AC basado en un puente de dispositivos VDMOS de potencia. Basándonos en una tecnología BCD especialmente adaptada para aplicaciones de potencia, hemos caracterizado y optimizado el dispositivo de potencia VDMOS. La simulación completa del convertidor DC-AC en puente de transistores VDMOS previamente diseñados se obtiene una buena tensión senoidal de salida mediante un control PWM.

1.- INTRODUCCIÓN

Hoy en día, las metodologías de diseño a nivel físico *full-custom* están basadas en la utilización de herramientas de edición de *layout* conjuntamente con simuladores eléctricos de tipo SPICE.

Si bien muchas veces el grado de precisión obtenido con la utilización de herramientas de simulación eléctrica con modelos unidimensionales es suficiente, en algunas situaciones los valores obtenidos no se corresponden con el comportamiento real del dispositivo (simulación de determinados dispositivos electrónicos, diseño de celdas analógicas, diseño de sensores...). Como ejemplo claro basta recordar que un efecto tan crítico como pueda ser el *latch-up* en un circuito CMOS [1], es muy difícil de modelizar de forma fiable con los modelos SPICE. Por este motivo, en este trabajo se describe un ejemplo en el que se pone de manifiesto la influencia de la naturaleza tridimensional de los dispositivos que forman los circuitos integrados de potencia.

La herramienta de simulación utilizada es un paquete de simulación en dos dimensiones de la firma SILVACO (SILicon VALley COmpany) [2] basado en el método de elementos finitos.

El trabajo propuesto consiste en optimizar las prestaciones de un dispositivo de potencia VDMOS en base a su geometría utilizando dichas herramientas de simulación e incluir el citado dispositivo en un circuito convertidor DC-AC.

2.- OPTIMIZACIÓN DEL DISPOSITIVO VDMOS DE POTENCIA

La utilización de herramientas de simulación a nivel físico en 2 dimensiones adecuadas se hace imprescindible en el estudio del comportamiento de dispositivos de potencia, los cuales combinan características MOS con características bipolares.

Basándonos en una tecnología BCD (Bipolar, CMOS, DMOS) [3] adecuada para la fabricación de circuitos integrados de potencia, hemos diseñado un dispositivo VDMOS de potencia tal y como muestra la Figura 1. El dispositivo VDMOS se basa en una estructura multicelular, siendo la intensidad proporcional al número de celdas [4]. En las simulaciones llevadas a cabo en el proceso de optimización se ha utilizado una estructura con 2 celdas.

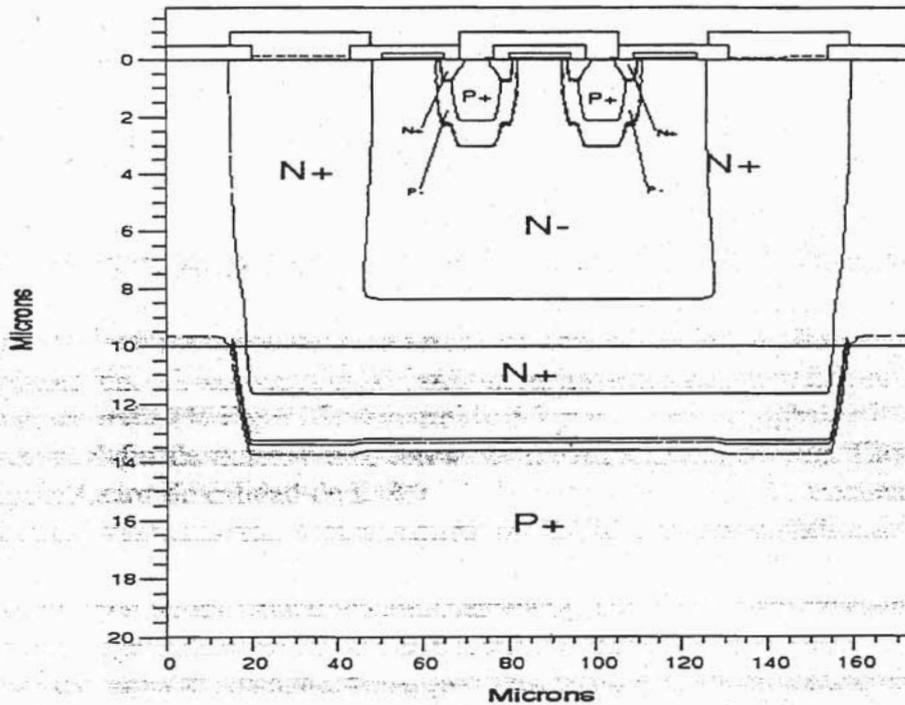


Figura 1.- Sección transversal del transistor VDMOS de potencia.

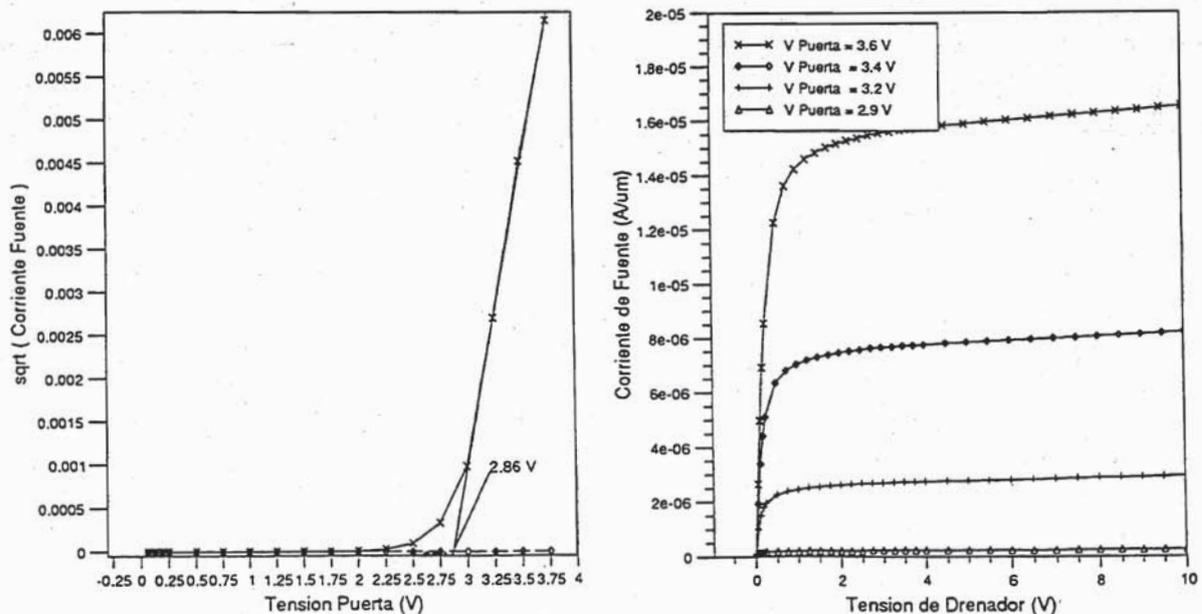


Figura 2.- Extracción de la tensión umbral V_{Tb} (a) y característica $I_{DS}(V_{DS})$.

A partir de una simulación de la característica I_{DS} en función de V_{GS} (Figura 2a) es posible determinar la tensión umbral del dispositivo VDMOS. En nuestro caso $V_T=2,8V$. La Figura 2b muestra la característica $I_{DS}(V_{DS})$ realizada para varias tensiones de puerta V_{GS} entorno a la tensión umbral.

Un parámetro importante a tener en cuenta es la tensión de ruptura del dispositivo. En la Figura 3 observamos que la tensión de ruptura de la estructura se obtiene para valores elevados de polarización V_{DS} mientras se mantiene la puerta flotante. La zona más crítica de la estructura VDMOS o zona de ruptura se encuentra en la superficie, en la región de la terminación del contacto de puerta.

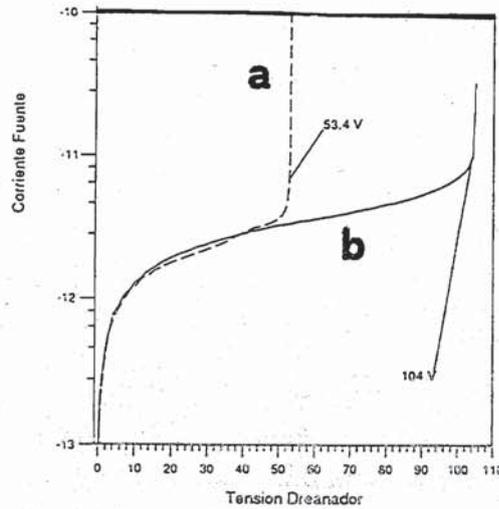


Figura 3.- Tensión de ruptura BV: (a) terminación plana, (b) terminación escalón con óxido grueso.

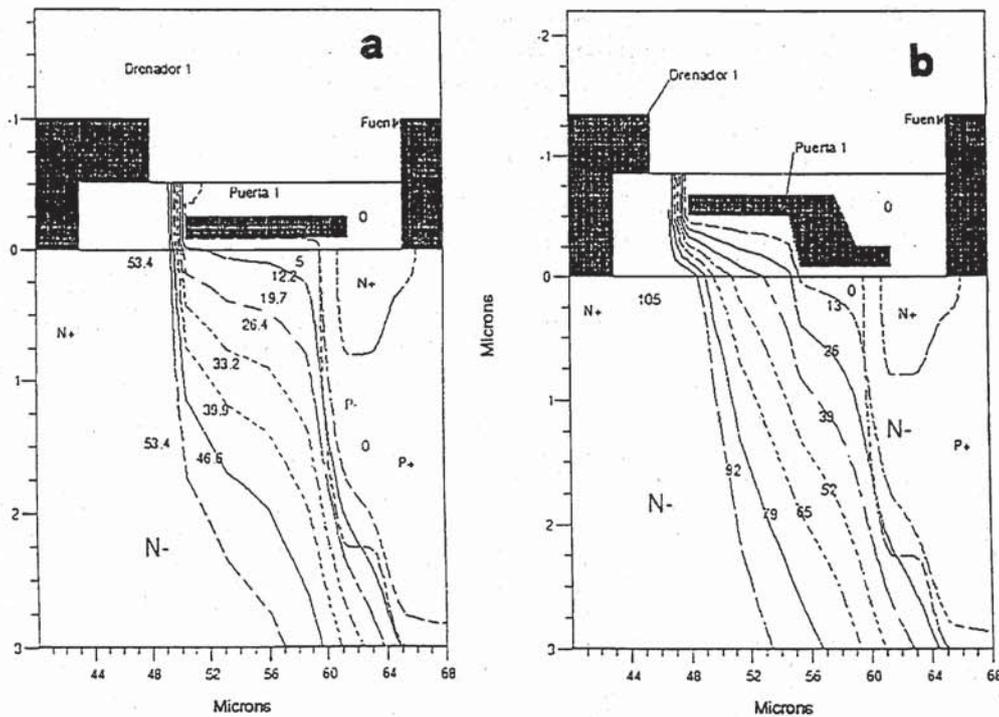


Figura 4.- Sección transversal de la región de ruptura: (a) terminación plana, (b) terminación escalón con óxido grueso.

En la Figura 4 observamos la distribución del potencial en la estructura en función de la geometría del contacto de puerta. Una terminación en escalón con óxido grueso origina un aumento de la tensión de ruptura de 53V a 104V.

Finalmente hemos querido estudiar la influencia de la separación intercelular. Este parámetro, además de determinar la resistencia de drenador del transistor, limita la densidad de integración. Una separación pequeña permite, por un lado, integrar mayor número de celdas en el mismo chip, pero por otro, provoca una mayor concentración de la corriente de drenador originando un aumento local de la temperatura. En dispositivos de potencia las corrientes elevadas pueden desarrollar temperaturas superiores a los 150°C provocando la destrucción del dispositivo.

En la Figura 5 mostramos la distribución de temperaturas en el silicio de la estructura VDMOS trabajando en zona de saturación a $V_{DS}=50$ V y $V_{GS}=5$ V. En este caso la distancia intercelular es de $7\mu\text{m}$ y observamos un máximo de la temperatura en la zona central del dispositivo. El incremento de dicha distancia provoca una distribución de la corriente de drenador que se manifiesta en la aparición de 2 máximos de temperatura de valor inferior al inicial, tal y como muestra un corte horizontal a una profundidad de $1\mu\text{m}$ representado en la Figura 6.

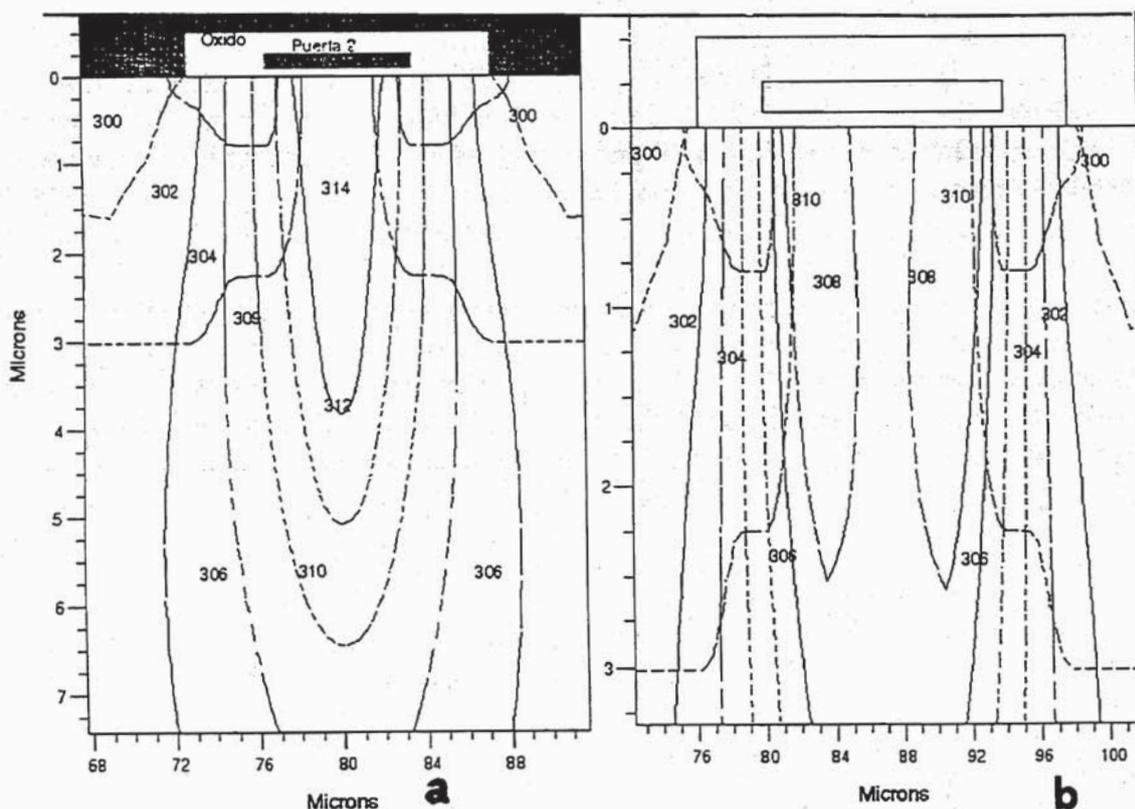


Figura 5.- Distribución de temperatura en una estructura VDMOS: (a) $d=7\mu\text{m}$ y (b) $d=14\mu\text{m}$.

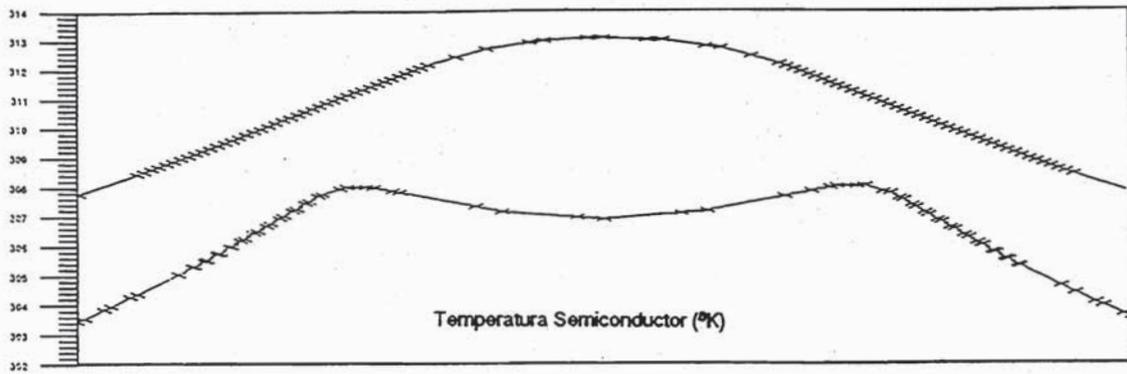


Figura 6.- Corte longitudinal de temperatura a $1 \mu\text{m}$: (a) $d=7\mu\text{m}$ y (b) $d=14\mu\text{m}$.

3.- SIMULACIÓN DEL CONVERTIDOR DC-AC

Una vez optimizada la estructura VDMOS de potencia, procedemos a la simulación completa del circuito de conversión de potencia. El convertidor DC-AC constituye un puente de 4 transistores VDMOS [5] tal y como indica la Figura 7. A la salida del puente se ha acoplado un filtro de tensión diseñado con el fin de obtener una forma de onda senoidal para una frecuencia de corte de 50Hz y un factor de calidad de 0.707.

El control del disparo de los transistores se basa en una regulación PWM senoidal bipolar fruto de la comparación de 2 señales: una moduladora, senoidal de frecuencia igual a la frecuencia de salida (50Hz), y una portadora, triangular de frecuencia, en nuestro caso, 6 veces superior a la anterior. En la Figura 8 se observa un diagrama de dicha regulación (a) así como la forma de onda de la tensión a la salida del filtro (b). Observamos efectivamente que la tensión de salida presenta una aceptable forma senoidal de amplitud igual a la amplitud de la señal continua de entrada y frecuencia igual a la frecuencia de la señal moduladora.

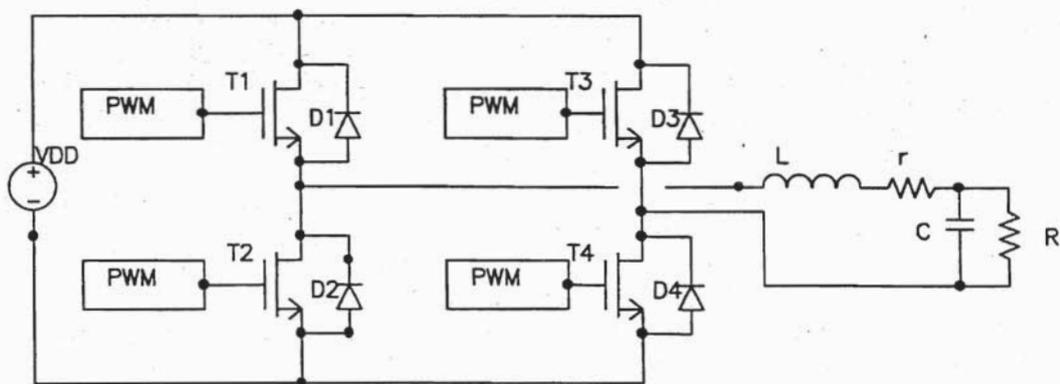


Figura 7.- Convertidor DC-AC en puente completo y filtro de salida.

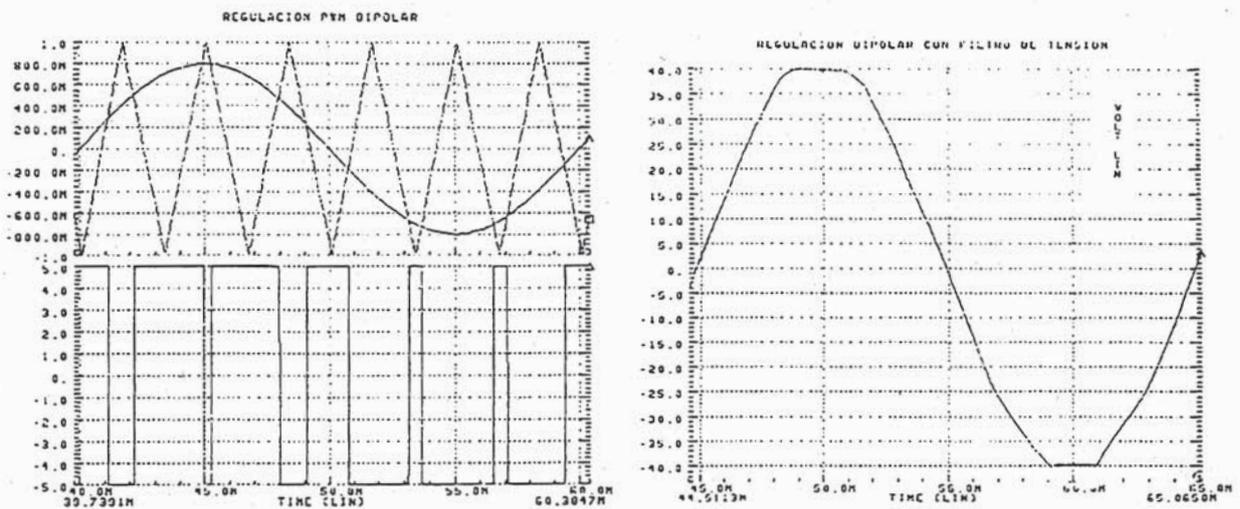


Figura 8.- Regulación PWM senoidal (a). Tensión salida convertidor DC-AC filtrada (b)

4.- CONCLUSIONES

Los resultados más relevantes de la presente comunicación se refieren al proceso de optimización del dispositivo VDMOS de potencia en base a la geometría.

Hemos puesto de manifiesto la influencia de la terminación del contacto de puerta en escalón sobre óxido grueso en el aumento significativo de la tensión de ruptura.

La reducción de la distancia entre celdas provoca un aumento de la densidad de integración aunque una mayor concentración de la corriente en la región de drenador y un consiguiente aumento de la temperatura localizada.

La inclusión de este dispositivo VDMOS optimizado en una topología de convertidor DC-AC en puente completo junto con un filtro de tensión proporciona una tensión senoidal de salida mediante un control PWM senoidal.

5.- REFERENCIAS

- [1] Puig-Vidal, M. "Immunité au latch-up d'une technologie de puissance intelligente CMOS/DMOS basée sur un concept de puits flottant et applications", Tesis nº 1424 de l'UPS de Toulouse, 26 de febrero de 1993
- [2] ATLAS USER'S MANUAL. Silvaco International. Versión 4.0. Junio 1995.
- [3] Andreini, A., Contiero, C., Galbiati, P. "A New Integrated Silicon Gate Technology Combining Bipolar Linear, CMOS Logic, and DMOS Power Parts". *IEEE Transactions on Electron Devices*, pp. 2025-2030, Vol. ED-33, NO. 12. December 1986.
- [4] Djellaby, K., Tranduc, H., Napieralska, M., Berry, J.P., Rossel, P. "Modelling of current sensing power VDMOS devices". *Proceedings EPE-MADEP*, pp. 152-157, Florence 1991.
- [5] Mohan, N., Undeland, T.M., Robbins, W.P. "Power Electronics: Converters, Applications and Design". Ed. John Wiley & Sons, 1989.