

ENSEÑANZA INTEGRADA: UNA APLICACIÓN A LA DOCENCIA DE CIRCUITOS SECUENCIALES

M.P. Parra, M.C. Baena, M.J. Bellido, M. Valencia.

Centro Nacional de Microelectrónica (Edificio CICA)
Universidad de Sevilla
Avda. Reina Mercedes s/n 41012 Sevilla

Tfno: 95-4239923

Fax: 95-4624506

E-mail: parra@cnm.us.es

RESUMEN

Actualmente la enseñanza de Electrónica debe ser integrada, en el sentido de abarcar los niveles teórico, práctico y de simulación. En esta comunicación se presenta una experiencia de enseñanza integrada para una asignatura básica (1^o de informática). La experiencia se centra en una materia que supone un importante punto de inflexión en el programa de la asignatura (tema de "Biestables").

1. INTRODUCCIÓN.

El uso de los ordenadores por parte de los alumnos, sobre todo en el entorno de PCs, no hace sino crecer día a día. A ello contribuye: la propia disposición del alumno medio, que no sólo no teme sino que desea trabajar con el ordenador; la amplia disponibilidad de las máquinas tanto en el Centro como, frecuentemente, en la propia casa y la fácil adquisición de paquetes de software con los que, apenas sin esfuerzo intelectual, es posible resolver problemas complejos. Este hecho debe ser tenido en cuenta a la hora de programar las enseñanzas de Electrónica, tecnología para la que existen herramientas de ayuda al diseño por ordenador (CAD/CAEE) de gran calidad.

La introducción de CAD/CAEE proporciona múltiples ventajas para los alumnos entre las que destacamos el conocimiento y manejo de herramientas utilizadas en el mundo de la Ingeniería Electrónica real, sin olvidar los valores propios de este tipo de herramienta (fácil y fiable resolución de problemas, ganancia en tiempo de diseño, etc). Desafortunadamente, el acceso de los alumnos al CAD presenta un grave inconveniente: aprenden a utilizar la herramienta, pero sin conocer las raíces de los problemas y los fundamentos de las soluciones. El uso de CAD en la enseñanza potencia enormemente el "Know how" frente al "Know why". Esta tendencia es tanto más fuerte cuanto menor es la madurez del usuario. El problema surge cuando el alumno se habitúa al uso de la herramienta frente a la solución manual, para todo tipo

de problemas incluso los muy simples. Esto no es un problema ficticio, sino real del que tenemos experiencia personal, del que ya ha habido comunicaciones internacionales [1], [2], [3], y del que existen claros ejemplos (por ej., en la enseñanza de la aritmética en 1º y 2º de EGB no se puede potenciar el uso de la calculadora). De aquí que la enseñanza debe abordar el uso de herramientas CAD con mucho cuidado: es necesario introducirlas, sí, pero presentándolas como ayudas al ingeniero que nunca pueden suplir las capacidades mentales de este.

Además las enseñanzas de Electrónica tienen que incluir tanto el nivel de exposición teórica (fundamentos, modelos, diseños, etc.), como el nivel de laboratorio (instrumentación y circuitos reales, constatación de la validez de los modelos y de sus limitaciones, etc.). Ambos niveles deben, pues, ser complementados, pero no sustituidos, por la inclusión del nivel de CAD. Consecuentemente, una finalidad de la programación docente en Electrónica es englobar estos tres niveles de actividad y hacerlo de forma que el alumno los reciba como un "todo" integrado (distintas visiones de un mismo conocimiento), evitando que aparezcan como partes desconectadas entre sí. A esto nos referimos como "enseñanza integrada".

La enseñanza integrada es una hermosa idea cuya traslación a la realidad es enormemente complicada en la práctica habitual. Esto es así porque, además del propio problema de integrar los tres niveles, es necesario hacerlo de forma compatible con los restantes objetivos docentes (de la propia asignatura y de las otras del curso en cuestión) y que sea factible con los medios disponibles (recursos materiales y humanos). Como requisito inexcusable para implantar una enseñanza integrada, la propuesta ha de ser ante todo realista.

El propósito de esta comunicación es presentar nuestra experiencia en la enseñanza integrada de "Biestables" de la asignatura "Circuitos y Sistemas Digitales I" de 1º de Informática. Sus principales características son:

1) Esta materia tiene carácter básico ya que en ella se introducen múltiples conceptos y fenómenos de sumo interés (almacenamiento, descripción de estado, asincronismo/sincronismo, restricciones temporales, etc.);

2) Se tratan circuitos con pocas puertas lógicas, por lo que pueden ser estudiados manualmente tanto a nivel teórico como en prácticas de laboratorio;

3) La madurez del alumnado es la menor en el ámbito universitario.

De acuerdo con lo convenido en [4], esta materia ha sido programada con un perfil generalista (esto es, potenciamos la adquisición de capacidades, la abstracción, y el conocimiento del por qué) y fundamentalmente formativo. Además, entre los 12 "conceptos recurrentes" propuestos en [5], primamos los relativos a la concepción y formalización de modelos, la ordenación temporal y el establecimiento de compromisos y sus consecuencias.

En los apartados siguientes expondremos los rasgos más singulares de la implementación de nuestra propuesta. En concreto, el nivel teórico se ilustra en el apartado 2; el nivel práctico, en el 3; y el nivel de CAD, en el 4. Por último, en el apartado 5 discutimos esta experiencia.

2. NIVEL TEÓRICO.

La materia objeto de estudio son los biestables. En nuestro programa, este tema es el primero de la parte secuencial. Así, frente a los circuitos combinatoriales, el alumno se enfrenta por primera vez a este nuevo tipo de circuitos. Con ellos se introducen nuevos conceptos que contrastan con los combinatoriales bajo distintas perspectivas como son:

- El *comportamiento* de los circuitos secuenciales es tal que sus salidas en cada instante dependen tanto del valor actual como de los que estas fueron tomando en instantes anteriores. Esto significa que tienen que incorporar alguna forma de memoria.

- Su *estructura* a nivel de puertas debe poseer uno o más caminos de realimentación; es decir, una o más salidas se reintroducen como entradas. Así, la salida en cada instante se hace función de las entradas y de las salidas en instantes anteriores, realizando la función de memoria. El retraso de propagación en las puertas, que en los circuitos combinacionales sólo afecta de forma transitoria, es ahora parte fundamental en la operación estacionaria.

- Las *formas de descripción* apropiadas para los circuitos combinacionales (esencialmente, las tablas de verdad), pierden la validez para representar funciones secuenciales. En estos es necesario describir la dependencia con el pasado, para lo cual se introduce el concepto de estado (y sus correspondientes señales binarias, las variables de estado). Este nuevo concepto introduce la descripción mediante variables internas y permite recoger la evolución en el tiempo a través de la transición entre el estado presente y su próximo estado. La descripción funcional sólo estará completa cuando se representen las funciones booleanas de próximo estado y de salida.

El aprendizaje de todos estos conceptos y sus implicaciones no es una tarea fácil. Hay varios caminos para presentarlos, cada uno con sus pros y contras. En nuestro caso, la metodología de enseñanza se basa en:

1. Establecer un puente entre lo conocido (combinacional) y lo que se presenta ahora (secuencial), con el fin de alcanzar la "unión" entre ambos tipos de circuitos.

2. Seguir una línea de desarrollo de lo fácil a lo complejo, con el fin de facilitar el conocimiento comprensivo.

3. Comenzar con los circuitos que operan en modo fundamental (asíncronos) en vez de comenzar con los que operan con reloj (síncronos). Esta opción, aunque poco usual, presenta las siguientes ventajas [6]:

- * Los biestables con reloj modernos (disparados por flanco o "flip-flops") son todos circuitos en modo fundamental. Además, la mejor forma de diferenciar los flip-flops y los "latches" síncronos (disparados por nivel, circuitos en modo de pulso), es desde la perspectiva del modo fundamental de operación.

- * La operación correcta de los circuitos secuenciales depende críticamente de su adecuada temporización. Esto es tanto más relevante cuanto mayor es la complejidad del circuito y su velocidad de operación, así como cuando la implementación es integrada (full-custom y semi-custom) y se toma en consideración las dificultades del testado.

La programación de nuestra enseñanza sigue los dictados de estas ideas. En particular, los rasgos más diferenciadores respecto a la estructura clásica, corresponden a la propia introducción de esta materia y entre ellos destacamos los siguientes:

(a) Realimentación como mecanismo de memoria:

En primer lugar se pretende mostrar cómo una *estructura* realimentada proporciona un *comportamiento* secuencial. Para ello se propone un circuito básico realimentado (*Fig. 1*) capaz de memorizar la ocurrencia de un 1 en su entrada.

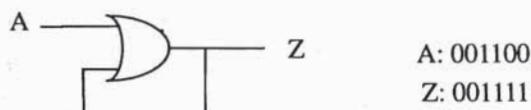


Figura 1 Circuito realimentado: almacenamiento de 1

(b) Inversor realimentado. Concepto de estado interno.

El circuito de la *Fig.2(a)* no puede ser entendido suponiendo retraso nulo. Se sustituye el inversor ideal por un modelo del inversor real compuesto por inversor ideal más elemento de retraso (*Fig.2(b)*). El elemento Δ concentra el retraso de la puerta real. Se introducen dos

nuevas variables (y, Y) que definen el estado interno del sistema: y es el estado presente e Y el próximo estado.



Figura 2 Inversor realimentado.

(c) Dos inversores en cascada. Almacenamiento de 1 bit.

Se propone un nuevo circuito (Fig.3(a)) con dos posibles situaciones estables: $y_1 = 0, y_2 = 1$, $y_1 = 1, y_2 = 0$, por lo que almacena un bit. Su modelo y representación son mostradas en las Fig.3(b) y (c).

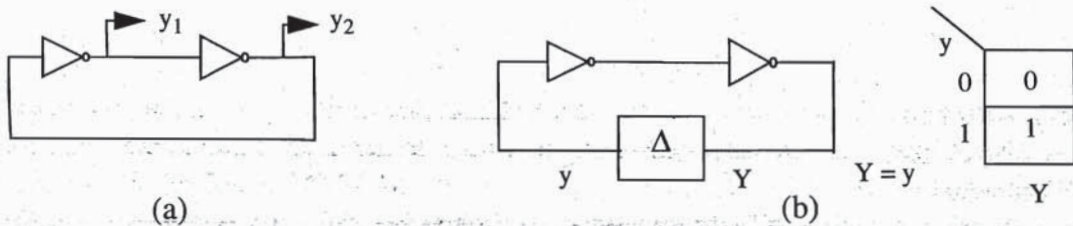


Figura 3 Inversores en cascada.

(d) Dos puertas NOR realimentadas:

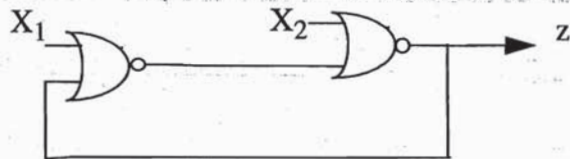


Figura 4 Circuito realimentado con dos puertas NOR.

Se propone el circuito de la Fig.4 y se analiza suponiendo el retraso concentrado a la salida de una de las puertas y de la otra (Fig.5).

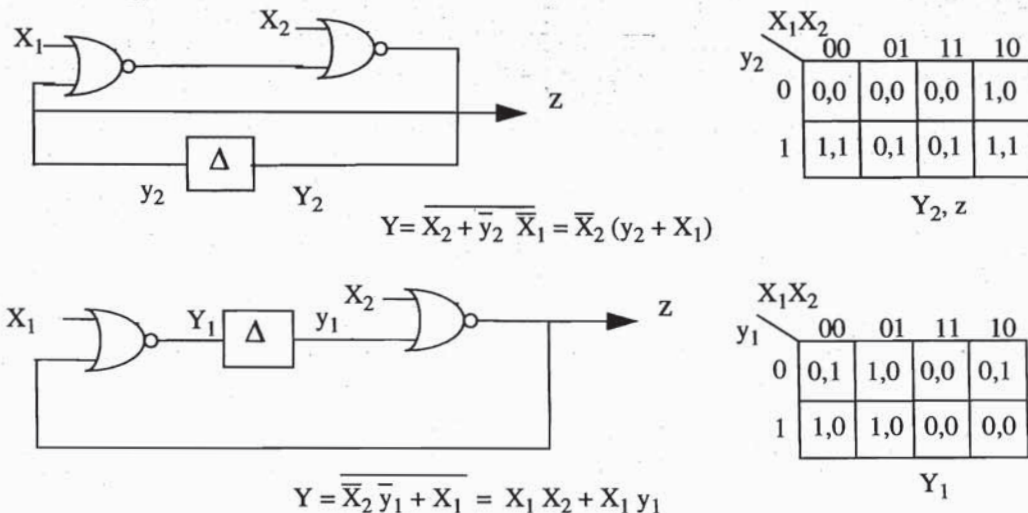


Figura 5 Modelos de retraso concentrado en un solo punto.

Ambos análisis proporcionan la misma salida en régimen estacionario. En las columnas "01" y "10" el circuito da salidas 0 y 1 respectivamente, lo que introduce las acciones de "Reset" y de "Set"; en la columna "00" permanece el último valor alcanzado (bit almacenado);

y en la columna "11" el circuito se sitúa con salida 0. Sin embargo, al realizar un análisis del comportamiento dinámico (mediante un diagrama temporal), el cambio de entrada de "11" a "00" produce salida estacionaria distinta.

Planteamos una aproximación más realista: suponer que el retraso está concentrado en ambas puertas, con un valor similar (Fig.6). La tabla de estados de la Fig.6 muestra dos

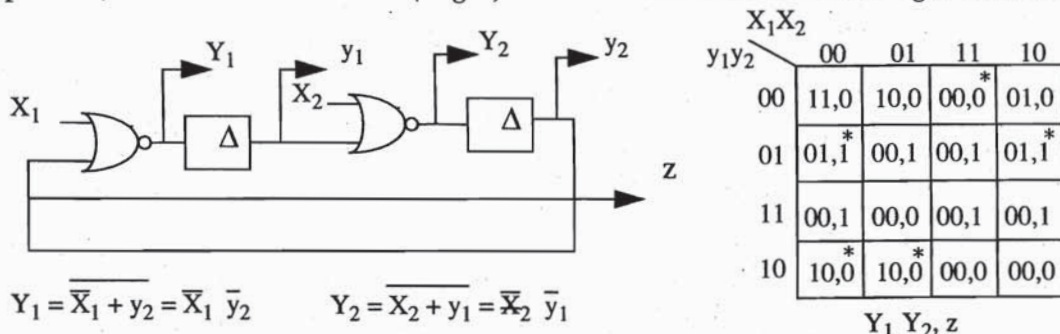


Figura 6 Modelo de retraso distribuido.

problemas: 1) El estado estable "00" de la columna "11" no puede ser almacenado; y 2) La transición problemática $X_1 X_2: 11 \rightarrow 00$ produce una evolución indeterminista (carrera crítica, metaestabilidad), por lo que hay que prohibir este cambio. Además, si se prohíbe que X_1, X_2 sean "11", se puede describir el circuito con una sola variable, con lo que se alcanza el circuito biestable SR (Fig.7)

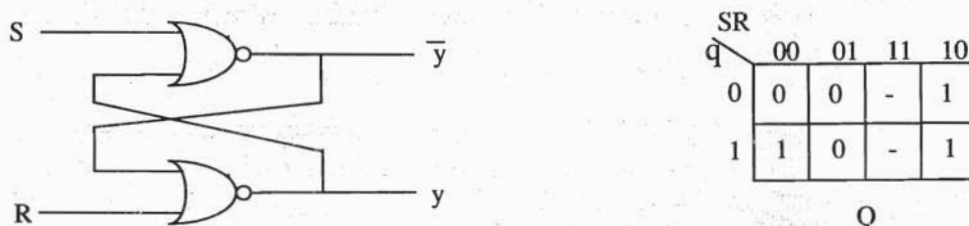


Figura 7 Biestable RS-NOR.

(e) Generalización del modelo de retraso concentrado para FSM.

Se plantea cómo realizar el análisis de un circuito secuencial general, que poseerá uno o más lazos de realimentación, bastará con introducir un elemento de retraso por cada lazo. Tendremos con ello una variable de estado por lazo, aunque para su buena operación es necesario imponer las restricciones del modo fundamental.

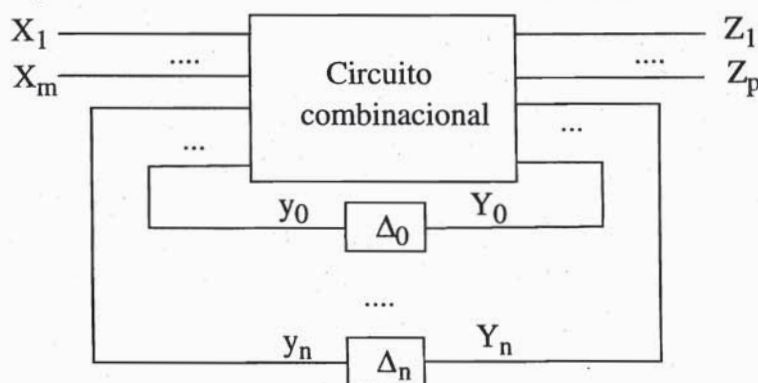


Figura 8 Modelo de retraso concentrado para una FSM.

A partir de aquí abordamos un nuevo nivel, el de los biestables síncronos, presentando las distintas posibilidades (biestables disparados por nivel, estructuras Master-Slave y biestables disparados por flanco). Este apartado es abordado desde un punto de vista tradicional, con

la correspondiente exposición de restricciones de operación para cada sistema de disparo.

3. NIVEL PRÁCTICO.

El propósito de esta actividad es hacer que el alumno asimile y se familiarice con los nuevos conceptos presentados como son el concepto de estado, cambios de estados, sincronización, restricciones de operación, etc, viendo los comportamientos reales en el laboratorio. En general, el alumno deberá comprobar la validez del modelo de máquina secuencial para los circuitos biestables y caracterizar la conducta de estos circuitos en el dominio temporal.

Desde el punto de vista de los contenidos, en el laboratorio deberían observarse las distintas formas de biestables, cubriendo las topologías lógicas (SR, JK, etc), y temporal ("latches" asíncronos y con reloj, y "flip-flops" amo-esclavo y disparados por flanco), así como las realizaciones a nivel de puertas e integradas.

A la hora de implementar en la realidad la práctica de laboratorio, hay que tener en cuenta los condicionantes existentes. En nuestro caso, los más importantes son:

- El instrumental disponible es el estándar en un laboratorio de Electrónica general. Cada puesto de práctica dispone de una fuente de alimentación, un osciloscopio de dos canales y un generador de funciones periódicas con sólo una salida. Las principales restricciones que impone este instrumental son la disponibilidad de 1 única señal variable en el tiempo y que sólo puedan ser observadas 2 señales en cada prueba.

- El montaje de circuitos se realiza sobre regletas universales cuyo conexionado se hace "pinchando" cables rígidos. Esto significa que se puede excitar el circuitos con constantes ("0", "1"), pero teniendo en cuenta la aparición de "rebotes".

- La cantidad de alumnos y las pocas horas de profesorado disponibles hacen que la sesión de prácticas sea de 3 horas y que el conocimiento práctico del instrumental en el alumno medio sea bajo (llegan a esta práctica con sólo 6 horas de experiencia en su manejo). En cada sesión de prácticas hay unos 25-30 alumnos divididos por parejas, habiendo un único profesor para atenderlos.

Con estas limitaciones, a la hora de especificar la práctica, hay que desarrollar un montaje lo suficientemente simple, pero que ilustre aquellos detalles que queremos queden captados por el alumno. En particular, los rasgos más singulares de nuestra implementación de esta práctica son:

- En primer lugar, se practica con un biestable asíncrono tipo SR de forma estacionaria, con el fin de comprobar los cambios de estados ante cambios de excitación, así como el concepto de almacenamiento de éste. Para ello, se montará a nivel de puertas NAND (*Fig.9(a)*) con un 74LS00, sobre el que se verificará su tabla de estados. Las excitaciones son manuales, pero los rebotes al "pinchar" a masa o a alimentación no son observables.

- El siguiente punto trata el problema que conlleva los cambios simultáneos de las entradas de excitación \bar{S}, \bar{R} de 11 a 00 a 11 ..., con lo que se observa el comportamiento dinámico. Aquí se analiza el circuito violando sus restricciones de buena operación con el fin de poner de manifiesto que, hechos no controlables por el usuario como el retraso interno de las puertas que forman el biestable, son totalmente influyentes en los estados por los que va pasando dicho biestable. En muchos casos, llega a ser observable la metaestabilidad en el biestable SR.

- En el tercer punto se pasa a implementar, a nivel de puertas, un biestable JK disparado por el nivel alto (*Fig.9(b)*). La señal del generador es utilizada como reloj del biestable. De esta forma, se pretende tener constancia de la sincronización. Esto es, podrán observar que es la señal de reloj la que controla los intervalos de tiempos en los que hay transiciones en el estado

del biestable y aquellos en los que hay almacenamiento de estado.

Esto se realiza para la situación de entrada $JK=11$. De esta forma, el alumno tendrá evidencia del problema que trae dicha situación en el nivel activo del reloj. Visualizarán en el osciloscopio los continuos cambios de estado que se suceden mientras dure el nivel del reloj, y la imposibilidad práctica de controlar dichos cambios. Al mismo tiempo, observarán cómo el biestable conserva el estado último almacenado durante el nivel de reloj no activo. Por otra parte, harán modificaciones en la anchura del pulso activo de Ck para comprobar cómo varían el número de transiciones que le da tiempo a dar al biestable. Con ello se muestra la viabilidad de operar con latches síncronos si se diseña una señal de reloj adecuada, al mismo tiempo que reconocen las grandes dificultades de este procedimiento.

- Como último punto, los alumnos trabajarán con biestables integrados tipo "flip-flop". Así, primero prueban un JK Amo-Esclavo activo en el flanco negativo de reloj (74LS73), en las mismas condiciones del anterior ($JK=11$). Esto les permite observar dinámicamente la acción de conmutación (se opera en modo T) con un sólo cambio por ciclo, contrastando con el anterior (diferencias entre "latch" síncrono y "flip-flop"). Posteriormente, prueban el circuito de la Fig. 9(c), con el cual, usando una única señal variable en el tiempo (Ck), pueden manejar un biestable D disparado por flanco positivo (74LS74).

Al finalizar todo este desarrollo, el alumno habrá sido capaz de conocer a nivel práctico los biestables asíncronos, así como los distintos tipos de disparo que pueden tener los síncronos. Además, habrán podido captar la incertidumbre que ofrecen situaciones como son las transiciones prohibidas para el SR, o la excitación $JK=11$ si se trata de un biestable disparado por nivel.

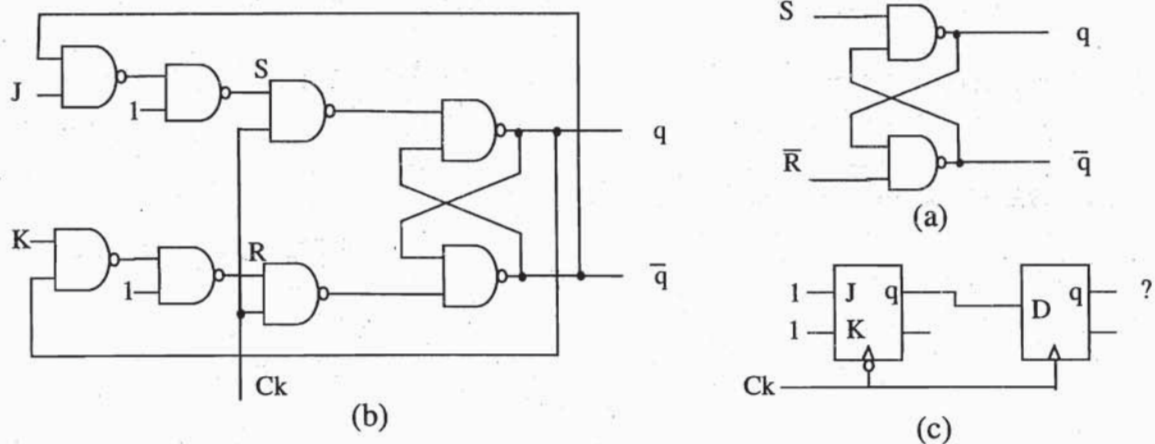


Figura 9 Circuitos de la práctica de laboratorio.

4. NIVEL DE CAD/CAEE

En el nivel de CAD le planteamos al alumno un doble trabajo. En primer lugar, el desarrollo de un programa que simule el comportamiento de dos biestables; y en segundo, que analice el comportamiento de dichos biestables utilizando dicho programa. Para facilitar la tarea, al alumno se le suministran unas especificaciones muy concretas del programa a desarrollar (Fig. 10), y, por otra parte, se le explicitan las situaciones en las que deben analizar el comportamiento de los biestables (Fig. 11).

Con este enfoque pretendemos varios objetivos. Por una parte, aprovechando que los alumnos están especialmente motivados para desarrollar y ejecutar programas informáticos, logramos que al realizarlo profundicen en los conceptos básicos del tema, como son la capacidad de almacenamiento de un biestable, los retrasos de propagación en las puertas y su

modelado a nivel lógico, la necesidad de las restricciones temporales para un buen funcionamiento, etc. Además, ponemos en contacto a los alumnos con las herramientas de CAD (en este caso, con la simulación lógica-temporal), que actualmente son fundamentales en el proceso de diseño de circuitos digitales, tanto a nivel de usuario (aprenden qué tipo de información hay que suministrarle a estos programas, y qué tipo de salida generan), como a nivel de programador (en este caso particular, aprenden lo que significa la simulación controlada por sucesos, -"event-driven"-, a manejar colas de sucesos, implementar modelos concretos, en este caso, de retraso etc.)

Por otra parte, pretendemos que el alumno pueda comparar el comportamiento real de los biestables (observado en el laboratorio) con el obtenido mediante simulación. Por ello le pedimos que simulen los mismos circuitos (biestable SR asíncrono, Fig.9(a) y biestable JK, Fig. 9(b) que se analizan en la práctica.

Para ello van a implementar tres Modelos de Retraso diferentes para las puertas lógicas. El primero, el Modelo de Retraso Puro [7], que únicamente considera el efecto de retraso de propagación a través de una puerta. Como segundo modelo, el Puro e Inercial [7] que, además del retraso puro, incluye el efecto inercial (esto es, pulsos menores que una cota, denominada Retraso Inercial, no se propagan a través de la puerta). El tercero es el Modelo Puro Inercial y con Degradación [8], que incluye el efecto de degradación, según el cual, pulsos mayores que el retraso inercial pero menores que una cota dada, se propagan a través de una puerta pero con una reducción en la anchura del pulso de salida respecto del de entrada. A los alumnos se les entrega, además de las especificaciones de la Fig.10, una adecuada definición del comportamiento entrada-salida de estos modelos, así como unos valores de los parámetros de

OBJETIVO: Desarrollar un programa que simule, a nivel lógico (0 y 1), el comportamiento de dos circuitos biestables a nivel de puertas (Esto es, cada puerta del circuito se simulará como el conjunto de una puerta ideal en serie con un elemento de retraso).

ESPECIFICACIONES:

1.- Entorno Informático: Lenguaje C sobre PC.

2.- Requerimientos del simulador que se va a programar:

Biestables a simular: El biestable S-R de puertas NAND (Figura __) y el biestable J-K disparado por nivel (Figura __)

a) Opciones del simulador:

Elección del biestable S-R ó J-K

Elección de Modelo de Retraso: Elegir uno entre:

- Modelo de Retraso Puro

- Modelo de Retraso Puro e Inercial

- Modelo de Retraso Puro, Inercial y con Degradación

b) Entradas al simulador:

Estímulos a simular (Valores de las señales de entrada y su evolución en el tiempo)

Rango de tiempo que se quiere simular

Señales internas del biestable J-K que se deseen ver

b) Salidas del simulador:

Nombre biestable simulado

Representación de las señales de salidas:

- En forma de Tabla: secuencias de 0's, 1's y tiempos de cambio de la señal

- Diagrama temporal de las entradas y salidas del biestable, y señales internas en su caso.

Tiempo de C.P.U. de la simulación

Figura 10 Especificaciones del Programa de Simulación lógica-temporal de los biestables RS y JK

cada modelo (que, en concreto, corresponden a puertas lógicas integradas estándares en tecnologías de $2\mu\text{m}$).

La idea de implementar tres Modelos diferentes de Retraso es que el alumno observe cómo, según el modelo utilizado en los casos a estudiar, se obtienen comportamientos diferentes, unos más precisos que otros. Así, mientras que los modelos de retraso Puro o Puro-Inercial suministran como resultado una región de carrera sin ganador cuando S y R conmutan de 1 a 0 muy cerca una de otra, el modelo Puro-Inercial-Degradación produce ganador (q o \bar{q}) o no-ganador en función del retraso relativo en el cambio de dichas entradas. Este último comportamiento es más real que el primero [9]. Sin embargo, si el biestable opera en condiciones normales, los resultados de los tres modelos son esencialmente iguales. El uso de estos modelos en estas pruebas ayuda a los alumnos a comprender, en profundidad no sólo la operación del biestable, sino también la adecuación del modelo respecto al objeto de estudio.

Con respecto a los casos a analizar una vez desarrollado el programa (*Fig. 11*), son similares a los analizados en la práctica. Primero deben estudiar el comportamiento en situación normal, observando la capacidad de almacenamiento de un bit de los biestables.

Tras esto, simularán el comportamiento de los mismos bajo condiciones de mala operación. En primer lugar, en el biestable SR, que simulen la situación "prohibida" de cambio simultáneo a 1: SR:00-->11. Para el mismo biestable, también se les pide que observen cómo, partiendo de un estado de RESET, se necesita un pulso de SET cuya anchura debe ser mayor que una cota mínima, ya que en caso contrario el biestable no opera correctamente. Con respecto al biestable JK se les pide que observen que el valor de entrada $J=K=1$ durante el nivel activo de la señal de reloj da lugar a oscilaciones indefinidas de forma que, al conmutar al nivel no activo, el estado que se alcanza (0 o 1) depende de la anchura del pulso en el nivel activo de la señal de reloj. Por último, para este mismo biestable, deben observar y calcular la anchura mínima de la señal de reloj durante el nivel activo, para un buen funcionamiento cumpliéndose la restricción de no cambio en las entradas durante este nivel

5. DISCUSIÓN DE RESULTADOS

Una primera cuestión a clarificar es que no poseemos datos concluyentes que nos permitan validarla (ni rechazarla) frente a otros enfoques. Hay dos razones para ello. La primera, de carácter general, es que desconocemos mecanismos adecuados para la evaluación del resultado global de aprendizaje en el alumnado como grupo; esta es una cuestión que permanece abierta tanto por la diversidad de parámetros que inciden (adecuación a los objetivos de la asignatura,

SITUACIONES A ANALIZAR DEL COMPORTAMIENTO DE LOS BIESTABLES RS Y JK
(Hacer cada simulación usando los tres modelos de retraso.)

1.- BIESTABLE RS:

- Operar en situación de estado de SET y de RESET en condiciones normales de operación.
- Simular el cambio simultáneo en RS:00-->11.
- Partiendo del estado $\bar{q}\bar{q}=01$, simular una excitación de un pulso positivo en S barriendo una región de anchuras del pulso, desde los muy grandes hasta los muy pequeños.

2.- BIESTABLE JK:

- Operando en situación normal, determinar el tiempo de propagación del biestable.
- Operando para $JK=11$ y cubriendo una gama de anchuras válidas del pulso de reloj, para los 3 modelos de retraso.
- Operando con estado inicial $\bar{q}\bar{q}=01$ y analizando el caso $JK=10$, hay que cubrir una gama de anchuras del pulso de reloj, desde los muy grandes a los muy pequeños, usando los tres modelos de retraso. Determinar la anchura mínima del pulso de reloj.

Figura 11 Situaciones a estudiar del comportamiento de los biestables RS y JK

a los de la carrera, a los de la profesión), como por la propia indefinición de cuándo y cómo se podría realizar la tasación correspondiente. La segunda razón, más local, es que esta experiencia ha sido desarrollada por primera vez en el presente curso; como, además, en el momento de escribir esta comunicación no se han realizado las pruebas de evaluación, no tenemos ni siquiera ese mecanismo de realimentación de lo que han aprendido los alumnos. De todo ello debemos concluir que la siguiente discusión no es demostrativa en términos objetivos, sino más bien es una descripción de nuestras sensaciones apenas soportada por una corta experiencia.

En relación al desarrollo del nivel teórico hemos observado una mayor comprensión en los aspectos relativos al modelado y al dominio temporal, así como al por qué de las distintas estructuras de biestables. El principal inconveniente es el aumento en el tiempo dedicado a la exposición del tema (en torno a un 20% sobre otros cursos). Globalmente, hemos considerado satisfactorio este enfoque.

Por último, la práctica de laboratorio ha resultado ser un notable éxito. Prácticamente todos los alumnos han experimentado una considerable motivación y ha sido claramente apreciable la buena comprensión de los casos estudiados. La duración, aunque algo ajustada, ha sido suficiente.

Del nivel de CAD es del que tenemos menos información. Esta actividad ha tenido una buena acogida por los alumnos. Sin embargo, problemas externos a nuestra materia junto a su no-obligatoriedad, ha motivado que no dispongamos de datos sobre las implementaciones del programa, (ni, por tanto, de las simulaciones solicitadas), salvo en unos pocos alumnos. Estos nos han señalado como principales dificultades las propias informáticas (en concreto, el manejo del lenguaje y la implementación software de la realimentación); reconociendo que les ha sido útil en la comprensión de los circuitos secuenciales.

6. REFERENCIAS

- [1] R. A. Rohrer. "Taking Circuits Seriously". *IEEE Circuits and Devices*, Vol. 6, nº 4, 1990.
- [2] S. Karni. "Taking Circuits Seriously... Continued". *IEEE Circuits and Devices*, Vol. 7, nº 1, 1991.
- [3] A. Ioinovici: "Teaching Circuits Seriously". *IEEE Circuits and Devices*, Vol. 7, nºs 3 y 4, 1991.
- [4] F.S. Vacas y J.C. González. "Actas de las Jornadas sobre Formación en Informática Superior para los noventa". ETSIT Madrid, 1991.
- [5] "Computing curricula 1991: Report of the ACM/IEEE-CS joint curriculum task force". IEEE Computer Society Press, 1991.
- [6] E.J. Mc Cluskey: "Logic Design Principles". Prentice-Hall, 1986.
- [7] S.H. Unger. "The Essence of Logic Circuits". Ed. Prentice-Hall. 1989.
- [8] M. Valencia. "Modelado Discreto, Descripción Lógica y Simulación de Fenómenos Metaestables en Circuitos Secuenciales". Tesis Doctoral, Departamento de Electrónica y Electromagnetismo de la Universidad de Sevilla. 1986.
- [9] M.J. Bellido. "Biestables CMOS VLSI bajo entradas asíncronas: Problemas y Aplicaciones". Tesis Doctoral, Departamento de Electrónica y Electromagnetismo de la Universidad de Sevilla. 1994.